

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-110831

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/393		8839-5C		
G 0 6 F 15/68	3 2 0 A	8420-5L		

審査請求 未請求 請求項の数 2 (全 49 頁)

(21)出願番号 特願平3-296537

(22)出願日 平成3年(1991)10月17日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 小幡 正人

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

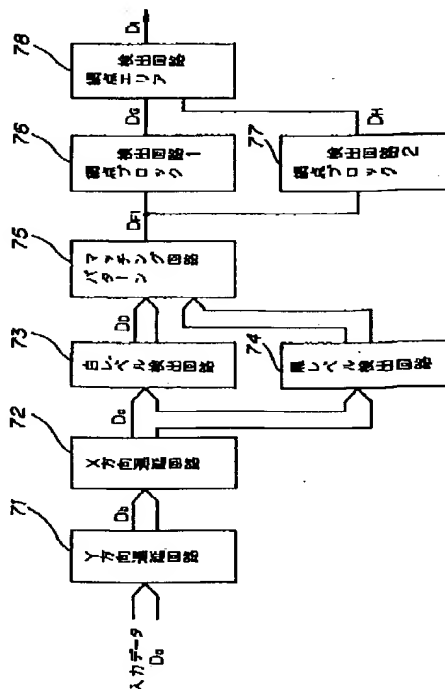
(74)代理人 弁理士 武 顕次郎 (外2名)

(54)【発明の名称】 画像領域識別装置及び画像領域識別方法

(57)【要約】

【目的】 縮小時には、検出用パターンとして網点よりも大きなパターンを用いて検出することにより縮小時網点検出率を向上させる画像領域識別装置及び画像領域識別方法を提供する。

【構成】 原稿画像を多数の微小領域に分割し、その濃度に対応したアナログ電気信号を出力し、画像読取手段と原稿とを相対的に走査駆動するとともに、指定された画像倍率に応じて走査の速度を調整し、画像の副走査方向の画像倍率を変更し、アナログ電気信号をデジタル電気信号に変換し、指定された画像倍率に応じてデジタル電気信号の画像の主走査方向の間引き、又は補完を行なって画像倍率を変更し、デジタル電気信号の二次元配列パターンを予め定めた複数の記録ドット及び非記録ドット検出パターンと比較し、その結果を出力する。



【特許請求の範囲】

【請求項1】 原稿画像を多数の微小領域に分割し、その濃度を読み取り、濃度に対応したアナログ電気信号を出力する画像読取手段と、原稿と前記画像読取手段とを相対的に走査駆動するとともに、指定された画像倍率に応じて走査の速度を調整し、画像の副走査方向の画像倍率を変更する副走査変倍手段と、前記画像読取手段が出力する前記アナログ電気信号をデジタル電気信号に変換する変換手段と、指定された画像倍率に応じて前記変換手段が出力する前記デジタル電気信号の画像の主走査方向の間引き、又は補完を行なって画像倍率を変更する主走査変倍手段と、前記デジタル電気信号の二次元配列パターンを予め定めた複数の前記記録ドット及び非記録ドット検出パターンと比較し、その結果を出力する記録ドット及び非記録ドット検出手段とを備え、前記記録ドット及び非記録ドット検出手段は副走査変倍手段により縮小された画像が入力されたときには、前記記録ドット及び非記録ドット検出パターンの副走査方向の大きさを副走査方向の網点のピッチより大きくしたことを特徴とする画像領域識別装置。

【請求項2】 画像読取手段により、原稿画像を微小領域に分割し、その濃度を読み取り、濃度に対応したアナログ電気信号を出力し、前記画像読取手段と原稿とを相対的に走査駆動するとともに、指定された画像倍率に応じて走査の速度を調整し、画像の副走査方向の画像倍率を変更し、前記画像読取手段が出力する前記アナログ電気信号をデジタル電気信号に変換し、指定された画像倍率に応じて前記デジタル電気信号の画像の主走査方向の間引き、又は補完を行なって画像倍率を変更し、前記デジタル電気信号の二次元配列パターンを予め定めた複数の前記記録ドット及び非記録ドット検出パターンと比較し、その結果を出力する画像領域識別方法であって、前記縮小された画像が入力されたときには、前記記録ドット及び非記録ドット検出パターンの副走査方向の大きさを副走査方向の網点のピッチより大きくすることを特徴とする画像領域識別方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、デジタル複写機、ファクシミリ、スキャナ等の入力画像の各領域が網点処理するものか否かを自動的に識別する画像領域識別装置及び画像領域識別方法に関する。

【0002】

【従来の技術】 例えば、デジタル複写装置においては、CCD（チャージ・カップルド・デバイス）イメージセンサ等を用いて原稿像を微小領域、即ち画素毎に読み取り、イメージセンサの出力に得られるアナログ電気信号をA/D（アナログ/デジタル）変換し、得られるデジタル信号に各種処理を施した後、その信号を記録装置に与えてコピー画像を得ている。ところで、この種の装置

に用いられる記録装置では、各記録画素毎に濃度レベルを変えるのが難しいため、記録/非記録の二値的又は多値的な記録を行なうのが一般的である。しかしながら、原稿には写真等の中間調画像も含まれることがあるので、中間調画像を再現する必要がある。二値又は多値記録を行なう記録装置を用いて中間調表現を行なう方法としては、従来よりディザ法、濃度パターン法、サブマトリクス法、誤差拡散法等々が提案されており、これらの方法を用いれば、中間調画像を再現できる。ところが、中間調処理を行なう場合、原稿像濃度が写真のようにゆるやかに変化する場合には比較的好ましいコピー像が得られるが、原稿像濃度が文字のように二値的に変化する場合には、コピー像の輪郭がぼけて文字が読みづらくなったり、原稿地肌の汚れがコピー像に現われたりして、コピー品質が著しく低下する。

【0003】 文字等の原稿像に対しては、中間調処理を行わずに、単純な二値又は多値処理を行えば、好ましいコピーが得られる。従って、中間調処理の有無を指定するスイッチを設ければ、原稿の種類に応じたオペレータの判断によって、好ましいコピーモードが選択できる。

【0004】 ところが、例えばパンフレットのように、1つの原稿中に、写真のような中間調画像と文字のような二値画像とが混在する場合もかなりある。このような場合、二値又は多値モードを選択すれば写真の品質が低下するし、中間調モードを選択すれば文字の品質が低下する。

【0005】 ところで、この種のデジタル写真装置においてはもう1つの不都合がある。即ち、ラインセンサ等を用いて画像を小さな画素単位で読取する場合、原稿上の濃度変化に周期性があると、その周期（ピッチ）と画像読取センサの配列ピッチ（サンプリング周期）との干渉によって、記録画像上にモアレが生ずることがある。例えば、原稿において網点印刷が行なわれている場合、その画像上の濃度変化には周期性があるので、この濃度変化の周期と読取センサのサンプリング周期との干渉によってモアレが生ずる。

【0006】 例えば、画像読取センサの分解能が400 dpiの場合であれば、その分解能に近い密度の網点印刷、即ち133線（約10.5画素/mm）～200線（約16画素/mm）の範囲の密度の場合に、読取信号にモアレが発生し易い。勿論、他の密度の場合でもモアレが発生するが、前記密度の場合に特に発生が著しく、それによる信号の変動幅が大きい。

【0007】 網点印刷自体は、一種の擬似中間調表現であり、画素単位の濃度変化は1/0（記録/非記録）の二値的なものである。網点印刷においては、網点のピッチ変化や網点の大きさの変化によって画素集合の全体を見た場合の平均濃度を多段に変化させ、これによって中間調濃度を表現している。従って、モアレの問題を考え

なければ、網点印刷の原稿像をコピーする場合には、信号を二値的に処理することにより、記録画像に網点画像を再現し、好ましいコピーを行なうことができる。しかし実際には、特定の密度で網点印刷された原稿像に対しては、上述のようにモアレが発生するため、著しくコピー品質が低下する。

【0008】一方、画像読取信号を中間調処理して二値又は多値信号に変換する場合、処理の過程で、複数画素の濃度の平均化、しきい値レベルの変更等々を行なうため、結果的にコピー画像にモアレが発生しないか、又は影響が小さくなる。この場合、コピー画像の濃度は網点によって擬似中間調表現されるが、コピー上の網点は原稿上の網点を直接再現したものではなく、複写機特有の中間調処理によって生成される網点である。

【0009】従って、網点印刷された画像あるいはデジタル複写機によって網点処理でコピーされた画像が原稿である場合には、画素単位では二値記録であるが、中間調処理を行なう複写モードを選択する方が好ましい。

【0010】また、前述のように、文字部は、単純二値又は多値を行ない、網点部は、ディザ法等の中間調処理を行なえばよく、そのため、領域分割を行なう方法も考えられる。例えば、すでに開示された、特開昭63-279665号公報に示されたように、網点領域を検出し、網点領域は、中間調処理、その他は単純二値化を行ない、文字部と網点写真部を、良好な画像として出力させることができる。特開昭63-279665号公報で示された、網点領域検出方式を説明すると、入力画像情報の二次元配列パターンを予め定めたパターンと比較して、記録ドット及び非記録ドットの検出を行ない、その検出結果に基づいて、入力画像情報が網点パターンか否かを識別する。

【0011】網点処理された画像においては、記録ドット（例えば黒画素）と非記録ドット（例えば白画素）とが所定のピッチ及び間隔で交互に繰り返して配列されている。従ってある位置に存在する記録画素とその周囲に存在する非記録画素とが所定の配列パターンである状態、又はある位置に存在する非記録画素とその周囲に存在する記録画素とが所定の配列パターンである状態が繰り返して現われる場合には、その画像が網点処理されたものとみなしうる。つまり、注目画素を順次に移動し、各々の注目画素について、それとその周囲の画素とでなる二次元領域の画像情報を、予め定めた記録ドット検出パターン及び非記録ドット検出パターンと比較することにより、入力画像が網点パターンか否かを識別しうる。

【0012】しかしながら、網点処理された画像をイメージスキャナで実際に読み取ると、画像の濃度に応じて、読み取られた信号の画像パターンが大きく変わり、網点の識別に誤りを生じることが多い。即ち、網点印刷においては、濃度を、所定小領域内の網点状記録ドットの面積の大小で表現しているため、画像濃度が変わる

と、網点の形状が大きく変わる。特に、網点濃度が50%の近傍にあると、網点を構成する記録ドット（例えば黒画素）又は非記録ドット（例えば白画素）が隣り同志つながって連続的になることがあるので、このような場合には、黒ドットと白ドットのいずれも検出できないことが多い。

【0013】画像情報を記録画素レベルと非記録画素レベルとに二値化する際の閾値レベルを調整すると、網点濃度が50%の場合の識別エラーを減少できる。しかしその場合、網点濃度が50%より高い場合又は低い場合に識別エラーが増加する。

【0014】網点画像の場合、イメージスキャナで読取られた信号は、一般に図14に示すようになる。これを見ると、信号の山の高さ、谷の深さ及びデューティが、濃度に応じて変化しているのが分かる。ここで、濃度レベルが50%の信号に着目すると、画像の位置によって、信号の山の高さ及び谷の深さが変化しているのが分かる。

【0015】濃度50%の信号を閾値 TH_1 で二値化する場合、最初の部分Paでは、山が TH_1 より大きく、谷が TH_1 より小さいので、二値化された信号には、山が記録画素、谷が非記録画素として現われ、後の部分Pbでは、山と谷のいずれも TH_1 より大きいので、二値化された信号には、非記録画素は現われない。即ち TH_1 で二値化すると、最初の部分Paでは記録画素と非記録画素の配列パターンから網点（記録ドット）を検出可能であるが、後の部分Pbからは網点を検出できない。

【0016】またこの信号を閾値 TH_2 で二値化する場合、最初の部分Paでは、山と谷のいずれも TH_2 より小さいので、二値化された信号には記録画素が現われず、後の部分Pbでは、山が TH_2 より大きく、谷が TH_1 より小さいので、二値化された信号に、山が記録画素、谷が非記録画素として現われる。従って、 TH_2 で二値化すると、最初の部分Paからは網点を検出できないが、後の部分Pbでは、記録画素と非記録画素との配列パターンから、網点（非記録ドット）を検出しうる。つまり、記録ドットで構成される網点を検出する場合に閾値 TH_1 を利用し、非記録ドットで構成される網点を検出する場合に閾値 TH_2 を利用すれば、濃度が50%の網点画像であっても、記録ドットと非記録ドットのいずれか一方の網点は検出される。濃度が20%のように低い場合には、閾値 TH_1 により、記録ドットの網点を検出されるし、濃度が80%のように高い場合には、閾値 TH_2 により、非記録ドットの網点を検出される。

【0017】

【発明が解決しようとする課題】しかしながら、前記従来技術では、変倍時に対応する網点検出方式については説明されていない。つまり、通常は変倍されると網点のパターンの形状が変わってしまい、とくに、縮小されると隣接した複数の網点の核が合わさって、1つの大きな

核となってしまう、縮小時の検出用に等倍時のパターンよりも小さなパターンを用意しても検出することができず、誤検出が多くなり、著しく画像が劣化してしまうという欠点があった。

【0018】本発明はこのような背景に基づいてなされたものであり、縮小時には、検出用パターンとして網点よりも大きなパターンを用いて検出することにより縮小時網点検出率を向上させる画像領域識別装置及び画像領域識別方法を提供することを目的とする。

【0019】

【課題を解決するための手段】前記目的は、原稿画像を多数の微小領域に分割し、その濃度を読み取り、濃度に対応したアナログ電気信号を出力する画像読取手段と、原稿と前記画像読取手段とを相対的に走査駆動するとともに、指定された画像倍率に応じて走査の速度を調整し、画像の副走査方向の画像倍率を変更する副走査変倍手段と、前記画像読取手段が出力する前記アナログ電気信号をデジタル電気信号に変換する変換手段と、指定された画像倍率に応じて前記変換手段が出力する前記デジタル電気信号の画像の主走査方向の間引き、又は補完を行なって画像倍率を変更する主走査変倍手段と、前記デジタル電気信号の二次元配列パターンを予め定めた複数の前記記録ドット及び非記録ドット検出パターンと比較し、その結果を出力する記録ドット及び非記録ドット検出手段とを備え、前記記録ドット及び非記録ドット検出手段は副走査変倍手段により縮小された画像が入力されたときには、前記記録ドット及び非記録ドット検出パターンの副走査方向の大きさを副走査方向の網点のピッチより大きくしたことにより達成される。前記目的は、画像読取手段により、原稿画像を微小領域に分割し、その濃度を読み取り、濃度に対応したアナログ電気信号を出力し、前記画像読取手段と原稿とを相対的に走査駆動するとともに、指定された画像倍率に応じて走査の速度を調整し、画像の副走査方向の画像倍率を変更し、前記画像読取手段が出力する前記アナログ電気信号をデジタル電気信号に変換し、指定された画像倍率に応じて前記デジタル電気信号の画像の主走査方向の間引き、又は補完を行なって画像倍率を変更し、前記デジタル電気信号の二次元配列パターンを予め定めた複数の前記記録ドット及び非記録ドット検出パターンと比較し、その結果を出力する画像領域識別方法であって、前記縮小された画像が入力されたときには、前記記録ドット及び非記録ドット検出パターンの副走査方向の大きさを副走査方向の網点のピッチより大きくすることにより達成される。

【0020】

【作用】前記手段により、少なくとも2種類の閾値を設定し、記録ドットを検出する回路と非記録ドットを検出する回路とで、互いに異なる閾値で二値化された画像情報を参照し、記録ドットの検出結果と非記録ドットの検出結果の両者に基づいて網点パターンを識別する。つま

り、縮小された画像が入力されたときには、前記記録ドット及び非記録ドット検出パターンの副走査方向の大きさを副走査方向の網点のピッチより大きくし、縮小時には、検出用パターンとして網点よりも大きなパターンを用いて検出することにより縮小時網点検出率を向上させる。

【0021】

【実施例】以下、本発明の実施例を図面に基づいて説明する。図2に、本発明を実施する一形式のデジタル複写機の機構部の構成を示す。図2を参照すると、この複写機は、装置上方に配置されたスキャナ1と装置下方に配置されたプリンタ2で構成されている。

【0022】26は原稿を載置するコンタクトガラスである。スキャナ1は、コンタクトガラス26上に載置される原稿の像を走査しながら読み取る。副走査は機械的であり、電気モータMTの駆動によって、スキャナに備わったキャリッジが図2の右左方向に移動する。原稿からの反射光が、各種ミラー及びレンズを介して、固定された像読取センサ10に結像される。像読取センサ10は、CCDラインセンサであり、図2においては紙面に垂直な方向に、5000個の読取セルが1列に配列されている。この例では、コピー倍率が1.0の時に、原稿像の1mmあたり16画素の分解能になる。主走査は、この像読取センサ10の内部に備わるCCDシフトレジスタによって電気的に行なわれる。主走査の方向は、読取セルの配列方向、即ち図2においては紙面に垂直な方向である。原稿像をスキャナ1で読取って得られる信号は、各種処理を施された後、プリンタ2に送られる。プリンタ2では、その信号に応じて二値的に記録を行なう。プリンタ2には、レーザ書込ユニット25、感光体ドラム3、帯電チャージャ24、現像器12、転写チャージャ14、分離チャージャ15、定着器23等々が備わっている。このプリンタ2は、従来より知られている一般のレーザプリンタと比べて格別に異なる部分はないので、動作だけ簡単に説明する。感光体ドラム3は、図2においては時計方向に回転する。そしてその表面が、帯電チャージャ24の付勢によって一様に高電位に帯電する。この帯電した面に、記録する画像に応じた二値信号によって変調されたレーザ光が照射される。レーザ光は、機械的な走査によって、感光体ドラム3上を主走査方向に繰り返し走査する。感光体ドラム3の帯電した面は、レーザ光の照射を受けると電位が変化する。従って、レーザ光の変化、即ち記録する像に応じた電位分布が、感光体ドラム3の表面に生ずる。この電位分布が静電潜像である。この静電潜像が形成された部分が、現像器12を通ると、その電位に応じてトナーが付着し、静電潜像がトナー像、即ち可視像に現像される。この可視像は、給紙カセット4又は5から感光体ドラム3に送り込まれる転写紙に重なり、転写チャージャ14の付勢によって転写紙に転写する。像が転写された転写紙は、定

着器23を通して、排紙トレー22に排紙される。

【0023】図3に、図2のデジタル複写機の電気回路の構成を示す。図3を参照すると、スキャナ1には、像読取センサ10、走査制御部20、増幅器30、A/D（アナログ/デジタル）変換器40、メディアンフィルタ50、中間調処理部55、MTF補正フィルタ60、二値化処理部65、主走査変倍処理部66、領域判定部70、操作制御部80、出力制御部90、モータドライバMD等々が備わっている。

【0024】走査制御部20は、プリンタ2との信号のやりとり、主走査制御、副走査制御及び各種タイミング信号の生成を行なう。各種タイミング信号は、走査タイミングに同期するように生成される。各種状態信号、プリントスタート信号、コピー倍率信号等々が、プリンタ2から走査制御部20に送られる。走査制御部20は、走査同期信号、状態信号等々をプリンタ2に送出する。モータMTを駆動することにより、スキャナを機械的に走査し副走査を行なう。このモータMTの線速を可変にすることにより副走査方向の変倍がなされる。このモータMTの線速可変は、従来のモータ制御方式で十分対応できるため本実施例では制御方式について特に説明しない。

【0025】像読取センサ10は、一般のCCDラインセンサと同様に、多数の読取セル、CCDシフトレジスタ等々を備えている。走査制御部20が副走査同期信号を出力すると、像読取センサ10の多数の読取セルに蓄積された信号が、CCDシフトレジスタの各ビットに一気に転送される。その後、主走査パルス信号に同期して、CCDシフトレジスタの信号シフトが行なわれ、該レジスタに保持された画像信号が、シリアル信号として、1画素分づつその出力端子に現われる（図3のa：以下、画像信号から生成される信号を括弧でくくって示す）。

【0026】増幅器30は、画像信号（a）の増幅、ノイズ除去等々を行なう。A/D変換器40は、アナログ画像信号を6ビットのデジタル信号に変換する。なお図面には示されていないが、A/D変換器40で得られたデジタル信号は、シェーディング補正、地肌除去、白黒変換等々の従来より知られている各種画像処理を受けた後で、6ビット、即ち64階調のデジタル画像信号（b）として出力される。また、ここで、中間調処理部及び二値化処理部において、プリンタが白/黒の場合を想定しているため、前述のような、説明となったが、プリンタが、3値または4値等の多値プリンタであれば、中間調処理部では、多値ディザ法、二値化処理部では、多段のスレッシュレベルによる単純多値化による、多値出力となる。また、多値ディザ法、及び単純多値化等、本発明において、重要なポイントではなく、さらに、公知技術を持って、実施例できるため、具体的な構成及び動作は省略する。このデジタル画像信号（b）

は、メディアンフィルタ50、MTF補正フィルタ60に印加される。メディアンフィルタ50で処理されたデジタル画像信号（c）は、主走査変倍処理部66を経て、中間調処理部55へ入力され、中間調処理部55では、デジタル画像信号（c）をディザ法、誤差拡散法等により中間調情報を含む二値信号（e）に変換する回路である。ディザ法、誤差拡散法による中間調処理を行なう回路は公知であり、この実施例においては、特別な回路を用いていないので、具体的な構成及び動作は省略する。尚、ディザ法、誤差拡散法以外に、サブマトリクス法、濃度パターン法による中間調処理を行なってもよい。

【0027】また、メディアンフィルタ50は、 $n \times m$ のマトリクス内の画像情報を、平滑化させ、前述したような網点画像のモアレを低減する効果を持つため、必要となる。また、メディアンフィルタ50に関する回路も、公知であり、この実施例においては、特別な回路を用いていないので、具体的な構成及び動作は省略する。

【0028】さらに、MTF補正フィルタ60で処理されたデジタル画像信号（d）は、主走査変倍処理部66を経て、二値化処理部65へ入力され、二値化処理部65では、MTF及び変倍処理されたデジタル画像信号を、予め定められた固定閾値レベルと比較し、これらの大小に応じた二値画像信号（f）を出力する。したがって、ここで行なう処理は単純な二値化処理であり、二値画像信号（f）には原稿像の中間濃度の情報は含まれない。また、MTF補正フィルタ60で処理されたデジタル画像信号（d）は領域判定部70に入力される。

【0029】領域判定部70は、後述するように、原稿画像が網点情報を含むか否かを判定する回路であり、その判定結果に応じた二値信号（g）を主走査変倍処理部66に出力する。

【0030】図42に主走査変倍処理のブロック図を示す。この変倍処理方式は一例であり、他の方法を用いてもよい。図42に示す変倍処理方式においては、トグルRAM420a、420bのアドレスカウンタ421a、421bのクロックを、倍率データROM422a、422bで作っている。

【0031】これは、倍率に合わせたデータをROMまたはRAMの内部メモリに格納していることで、例えば等倍の場合、前記RAM420a、420bのアドレスとデータが1:1、つまり、等倍の場合、アドレスカウンタ421a、421bのクロックはRAMのライト時、ライトのクロックを入力し、またRAMのリード時、リード（画周波数）のクロックを入力しRAMのアドレスとすれば、入力データはそのまま画周波数と対応して出力され、入出力の画周波数の変換をし、さらに等倍のデータとなる。これは図43に示すタイミングチャート（×1）の場合である。

【0032】また、RAM420a、420bのアドレスとデータの関係で、ライト時、ライトクロックの画周波数を間引く。例えば、図43の($\times 0.5$)のCLKのように、CLKを間引けば、ライト時RAMのアドレスカウンタは、ライトクロックに対し間引かれたクロックとなり、その時のデータは、ライトのクロックに対応しているため、($\times 0.5$)の場合、アドレスが+1ずつ増加するうちに、データは2個進むから、アドレス1に対しデータ1、アドレス2に対しデータ3となり、RAM420a、420bにはデータが間引かれた状態となる。このRAMの格納されたデータを、リード時、リードのクロックでアドレスカウンタクロックとすると、出力データはリードクロックの画周波数で、 $\times 0.5$ の倍率となる。これは図43のタイミングチャートの($\times 0.5$)の場合である。

【0033】RAM420a、420bのアドレスとデータの関係で、ライト時、ライトのクロックをアドレスカウンタのクロックとして入力し、データをRAMに取り込み、リード時、リードクロックの画周波数を間引く。例えば図43のタイミングチャートの($\times 2$)のCLKのようにCLKを間引けば、リードクロックに対し間引かれたクロックとなり、その時のデータはリードのクロックに対応しているため、($\times 2$)の場合、アドレスが+1ずつ増加するうちに、データはリードクロックに対し2個出力する形になり、同一データが1個ずつ付加された、 $\times 2$ 倍のデータの状態となる。

【0034】つまり、縮小時はライトクロックを間引き、リード時は、リードのクロックで出力し、拡大時はリードクロックを間引き、ライト時はライトのクロックで入力を行う。

【0035】また、前記方式において、ライト／リード時のクロックの切り換えは、トグルRAM420a、420bのライト／リードと同期させ、倍率データROMのループカウンタのカウントクロックに切り換えて入力させる。倍率データROM422a、422bには、アドレスに合わせた倍率データが格納されている。

【0036】図44はこの倍率ROMの格納データを示すものである。

【0037】 $\times 1$ の場合はすべてHで、図42のゲート426a、426bでのクロックとのANDを取るため、クロックと同じクロックがアドレスカウンタ421aに入力される。

【0038】 $\times 0.5$ の場合は、HとLが交互、つまり100個中50個がHとなり、ゲート426a、426bとのANDで、アドレスクロックはもとのクロックの半分となる。

【0039】さらに $\times 2$ の場合は、200個中、100個がHとなり、ゲート426a、426bとのANDで、アドレスクロックはもとのクロックの半分となる。

【0040】 $\times 0.5$ と、 $\times 2$ の場合、ROMデータの

切り換えはRAM420a、420bのライト／リードの切り換えと同期する。

【0041】また、セクタ423a、423bにより、倍率データROM422a、422bの上位アドレスを切り換え、リード／ライト時のROMデータの切り換えを行っている。

【0042】初期データは、アドレスカウンタ421a、421bへのクロックがもとのクロックと同様になるようなROMデータ、つまり、すべてHのデータを出力するように設定している。

【0043】前記でもわかるように、縮小時は、縮小データ/100=縮小クロック、拡大時は、100/拡大データ=拡大クロックとして1%きざみの縮小、拡大にも対応するようにしている。

【0044】尚、424a、424bはループカウンタ制御部、425a、425bはラッチ部、427は3ステートバッファで、RAM420a、420bの入力データの切り換えるもので、428はRAM420a、420bの出力データの切り換えを行うセクタである。

【0045】図45は倍率データROM422a、422bのループカウンタ制御部424a、424bの説明図である。

【0046】データセクタ430は、倍率データが100以上か、100未満かの制御信号で、倍率データと初期データ（ここでは100とする）をセレクトする。

【0047】これは100未満の場合、つまり縮小時、前記RAM420a、420bのアドレスカウンタ421a、421bのクロックが、カウンタ431のクロックに対し、何カウントかで縮小時の抜き取りデータの量が決定されるため、初期値データを選択する（この場合は100ループカウンタとなる）。

【0048】また、拡大時、縮小時と同様にすると、ループカウンタ431では、100/拡大データ量となり、誤差が出るため、拡大データ量は常に100個とし、1ループ拡大データ量とすると、拡大データ量/100となり、正確な倍率にあった前記RAM420a、420bのアドレスカウンタ421a、421bのクロックとなる。前記説明で、縮小時は100ループカウンタ431、拡大時は拡大データ量のループカウンタを構成するために、カウンタ431の値と、セクタ430の値とをコンパレータ432で比較し、カウンタ値がセクタ値より多ければ、カウンタ431のクリアー信号をコンパレータ432より出力してループカウンタとする。このカウンタ431の出力データが、前記ROM422a、422bの下位アドレスと接続されている。

【0049】前述したごとく、主走査変倍後の画像データのうち、メディアンフィルタからの出力cが、中間調処理部55で処理された出力eとMTF補正後のデータdが二値化処理部65で処理された出力fと、さら

に、領域判定部70からの出力が、出力制御部90へ入力される。

【0050】操作制御部80は、操作ボード上のモードキーの操作に応じたモード信号(i)を出力制御部90に与える。出力制御部90は、操作制御部80から与えられるモード信号(i)と領域判定部70から与えられる二値信号(g)とに応じて、中間調処理部55が出力する二値画像信号(e)、二値化処理部65が出力する二値画像信号(f)または所定レベルの信号(白レベル)を、選択的に出力する。この信号(h)が、プリンタ2に記録信号として与えられる。プリンタ2は、この二値信号に応じてレーザ光を変調し、記録を行なう。

【0051】図1に、図3の領域判定部70の構成を示す。図1の入力画像データDaは、前述図3のMTF補正部60からの補正データであるデジタル画像信号(d)と同じである。領域判定部70へ、MTF補正信号を入力させるのは、図4に示すごとく、入力データのままで、前述CCDピッチと、網点とのピッチの位相差で網点を解像しない場合があるためである。つまり、図4の濃度20%では入力原稿網点濃度で、濃度の高い網点と、濃度の低い網点があり、濃度50%では中間濃度部に、網点の濃淡が現われるが、ここでも、網点の濃淡の比が、大きい場合と、小さい場合があり、さらに濃度80%では、網点の白の核の部分の濃度が、薄い場合または濃い場合もある。後述するように本実施例では、網点かどうかの判定基準を設けるうえで、この網点の黒の核または白の核が、存在しているか、否かにより判定しているため、網点の濃度情報が非常に重要なポイントとなっている。そのため、本実施例では、入力データを、あらかじめ定められたMTFの補正を行なうことを、第1の特徴とする。つまり、前述に示されたように、入力網点のピッチとCCDの読取りピッチの位相差によって生じる網点の核濃度と、周辺濃度の差が、あまりない場合も想定し、MTFの補正をかけ、図4MTF後のデータに示すように、網点の核濃度と周辺濃度の濃度差を拡げることにより、後述の網点検出をし、検出精度の向上を図る。

【0052】また、図5では、MTFの補正の一例で、主、副操作に3×3のマトリクス内に対応する画素に対し、図4に示すような重み係数により、補正を行なう。また、この係数は、一例であり、他の係数でもよく、また、モード倍率等により変更可能なものとする。

【0053】図5に示された、MTF係数を実現するためのブロック図を図6に示す。61a、61cは、FIFOメモリであり、副走査方向、一ライン遅延用であり、2個使用しているため、2ラインの遅延を実現させ、現ラインと合わせ、3ラインデータを、同一時間軸上に存在させる。また、F/F61b、61d、61e、61fにより、各ラインの主走査方向遅延を実現させている。この構成により、図5に示されたマトリクス

の係数に対応する画像データが、同一時間軸上に存在しえる。

つまり、図5のM1に対応する画像データは図6eであり

つまり、図5のM2に対応する画像データは図6dであり

つまり、図5のM3に対応する画像データは図6cであり

つまり、図5のM4に対応する画像データは図6bであり

つまり、図5のM5に対応する画像データは図6aである。

また、Σ61gでaとbのデータの和a+b

Σ61hでdとeのデータの和d+e

Σ61iで(a+b)と(d+e)の和(a+b+d+e)を実現し、

Σ61kでcと1ビットシフト入力して2倍にした2×cとの和3×cを実現し、

反転61iで前述(a+b+c+d)の反転、-(a+b+c+d)を実現しΣ61mで、前述-(a+b+c+d)を1ビットシフト入力して1/2にした-(a+b+c+d)/2と3×cの和を取ることで、3×c-(a+b+d+e)/2により、前述、図5の係数による、MTFの補正を実現している。この3×c-(a+b+d+e)/2が、図3のMTF補正部60のd出力となり、領域判定部70へ入力される。後述する領域判定部70では、MTF補正信号dに基づき注目画素の濃度と、周辺画素の濃度の濃度差による。濃度パターンマッチング法を述べているが、前記従来例のように、入力画像情報がある閾値で二値化し、二値化後の信号によるパターンマッチング法での網点検出方式のどちらの入力画像情報でもMTFの補正信号を入力させることにより、前述のごとく、網点の濃度振幅は広がり、濃度差を検出しやすい。また、二値化する上でも黒ドット、白ドットを出しやすくなる効果がある。

【0054】図1に網点領域検出の全体ブロック図を示す。各ブロックの詳細説明は後述するため、ここでは概略を説明する。まず網点かどうかを判定するため画像データのあるエリアを同一時間上に存在させることが必要となる。なおここでスキナの主走査方向を示すためにxまたはXの記号を用い、副走査方向を示すためにyまたはYの記号を用いる。よってY方向遅延回路71及びX方向遅延回路72により、あるエリアを同一時間軸上に存在させる。

【0055】また次段の白レベル検出回路73及び黒レベル検出回路74は、網点の白の核を検出するもので、注目画素が網点の核がどうかを判定するために、注目画素と周辺画素との濃度差を検出し、ある一定以上の濃度差があれば、その注目画素を白または黒の網点の核とし、次段のパターンマッチング回路75において、この

網点核の状態が定められた規定のパターンと一致しているかどうかの判定を行い、網点の検出を行なう。

【0056】後に、網点ブロック検出回路(1)76、網点ブロック検出回路(2)77に inputs する。網点ブロック検出回路(1)76は、定められた $n \times m$ のエリアに網点が1個以上存在する場合 $n \times m$ のエリアを網点ブロックとする回路であり、網点ブロック検出回路(2)77は、 $n \times m$ のエリアに網点が2個以上存在する場合 $n \times m$ のエリアを網点ブロックとする回路であり、さらに網点ブロックの複数ブロックの内で2点以上網点検出ブロック、1点以上網点検出ブロック、網点の存在しないブロックがある一定以上の割合で存在しているとき、前述の複数の網点ブロックを網点エリアとする網点エリア検出回路78とから、この図1に示す網点領域検出ブロックが構成されている。

【0057】Y方向遅延回路71について説明する。Y方向遅延回路71は図7に示すようにメモリ101~104にて構成される。なお、このY方向遅延回路は一例であり、パターンマッチングに使用するパターンの最大サイズにより回路は異なる。また図8にはタイミングを示す。以下これらを用いてY方向遅延回路71について説明する。まず図9を用いて、タイミング関係を制御する制御信号について説明する。図9中Aは原稿を表わしており、制御信号は副走査方向(Y方向)の有効原稿幅を表す信号FGATE、主走査方向(X方向)の有効原稿幅を表す信号LGATE、主走査方向の読取りの同期を取る信号LSYNC、及び、図9には示していないが、システム全体の基準信号CLKからなる。つまり図9において原稿情報はLSYNCに同期して主走査方向に1ラインずつ読み取られ、FGATE、LGATEが共に“H”のとき有効データとなる。そして読取られた画像データはCLKに同期して1画素ずつCCDから出力される。

【0058】図8においてFGATEが“H”になった後、最初のLSYNCに同期して、読取られた画像データはLGATEが“H”の間を、1ライン目の有効画像データ D_1 として1ライン分CLKに同期して1画素ずつ、メモリ101に記憶される。そして次のLSYNCに同期して得られた2ライン目の画像データ D_2 は同様に、メモリ101に記憶されるが、その際にすでにメモリ101に記憶されていた1ライン目の画像データ D_1 はCLKに同期して1画素ずつメモリ102に1ライン分遅延された画像データとして記憶される。以下3ライン目、4ライン目……と走査して画像データ D_3 、 D_4 ……を得るとメモリ103、104で遅延していき、5ライン目を読取ったときに、メモリ101~104の各出力は、メモリ104の出力が D_1 、メモリ103の出力が D_2 、メモリ102の出力が D_3 、メモリ101の出力が D_4 となり、これと現在読取った5ライン目の画像データ D_5 とあわせて5ライン分の画像デー

タが同一時間に得られる。

【0059】次にX方向遅延回路72について説明する。

【0060】X方向遅延回路72は図10に示すように5つのブロックからなり、各ブロックが5個フリップフロップにて構成される。なお、この回路は一例であり、パターンマッチングに使用するパターンの最大サイズにより回路は異なる。各ブロックはそれぞれY方向遅延回路により得られた5ライン分の画像データ $D_{b1} \sim D_{b5}$ を処理するものであり同じ動作をするので画像データ D_{b1} を処理するブロックについてのみ説明する。また図11には回路の動作のタイミングを示す。以下これらの図を用いて、X方向遅延回路について説明する。

【0061】図11において5ライン目の画像データを読取ると、メモリ104からCLKに同期して1画素ずつ1ライン目の画像データ D_1 が出力される。そして、1ライン目の1画素目の画像データ D_{1-1} がフリップフロップ111に入力されるとフリップフロップ111にラッチされその値が記憶される。そして2画素目の画像データ D_{1-2} が入力されるとフリップフロップ111はその値を記憶するが、その際すでに記憶していた1画素目の画像データ D_{1-1} は、CLKに同期して、1画素分遅延されたデータとしてフリップフロップ112に記憶される。以下3画素目、4画素目……の画像データ D_{1-3} 、 D_{1-4} ……が入力されると、フリップフロップ113~115で遅延していき、6画素目の画像データが入力されると、フリップフロップ111~115の各出力は、フリップフロップ115の出力が D_{1-1} 、フリップフロップ114の出力が D_{1-2} 、フリップフロップ113の出力が D_{1-3} 、フリップフロップ112の出力が D_{1-4} 、フリップフロップ111の出力が D_{1-5} となり、これと現在入力されてきた、6画素目の画像データ、 D_{1-6} とあわせて、同一ライン内の6画素分の画像データが同一時間に得られる。したがって、5つのブロックを合わせると、図12に示すように5ライン×6画素、合計30画素分の画像データ $D_{c1} \sim D_{c30}$ が同一時間に得られる。

【0062】X方向遅延回路より、5ライン×6画素、合計30画素の画像データ $D_{c1} \sim D_{c30}$ が得られるが、このうちの数画素を用いてパターンマッチングを行い網点を検出する。図13(a)~(f)は、パターンマッチングに使用するパターンの例でありそれぞれ丸印を付けた画素 D_{c15} が現在注目している注目画素であり、実線の四形で囲まれた画素が周辺画素となる例えば図13(a)のパターンにおいては注目画素は D_{c15} であり、周辺画素は $D_{c2} \sim D_{c5}$ 、 D_{c7} 、 D_{c12} 、 D_{c13} 、 D_{c18} 、 D_{c19} 、 D_{c24} 、 $D_{c26} \sim D_{c29}$ の14画素である。そしてパターンマッチングは注目画素と周辺画素の関係が

(i) 注目画素の濃度が全ての周辺画素の濃度よりもあ

る一定の濃度以上高い場合

(ii) 注目画素の濃度が全ての周辺画素の濃度よりもある一定の濃度以上低い場合

をパターンにマッチしていると見なしてその注目画素を網点として検出する。なお、前述のある一定の濃度を以下重みと呼ぶ。

【0063】図16に20%、80%の濃度の網点と、各網点を簡単にするためAの部分で一次的に見た場合の濃度分布を示す。そして(i)の場合には図16中の「1」の部分、つまり、網点そのものを網点として検出し、(ii)の場合には図16中の「2」の部分、つまり、網点と網点で囲まれた部分を網点として検出する。

【0064】前記のごとく、網点は、濃度の高い、つまり、一定面積の黒の面積比率が高い場合、白の核が存在しており、濃度の低い、つまり、白の面積比率が高い場合、黒の核が存在しう。

【0065】ここで、従来のごとく、網点検出を行なう上で、図14に示すごとく、網点画像の入力データを複数のスレッシュレベルで、二値化し、その各々の二値化パターンで、網点パターンと、マッチングしているか否かにより、網点の検出を行なうパターンマッチングでは、図15に示すごとく、二値化スレッシュレベル近辺の文字、線画情報は、画像自体の濃度ムラ、搬送ムラ等による機械的ノイズ照明及び前述した、CCDのピッチムラ等により、文字、線画濃度情報は、均一ではなく、入力画像の濃度のムラが称し、二値化後のデータは、黒のトグレが発生してしまう。

【0066】この黒のトグレが、網点パターンと、マッチングすれば、誤検出となる。

【0067】つまり、本発明においては、前記欠点を補正するものであり、多少の濃度ムラが生じて、濃度差レベルは、網点と比較し、十分小さいものであるため、本発明のごとく、ある程度の濃度差を、注目画素と周辺画素にもたせた、濃度差パターンマッチングにより、前記欠点を補い、誤検出を低減できる。

【0068】また、この濃度差は、通常の網点の濃度(面積率)によって変化させることもないため、回路自体の構成も、比較的容易となる。

【0069】以下、図13(a)のパターンの場合について白レベル検出回路73及び黒レベル検出回路74について説明する。黒レベル検出回路74では(i)の場合について、また白レベル検出では(ii)の場合について、それぞれ、周辺画素に対する注目画素の重み付けを行い、重み付けをした注目画素(重み付き注目画素)と周辺画素との大小関係を判定する。

【0070】黒レベル検出回路74の図13(a)のパターンを用いた場合について、図17に示す、黒レベル検出回路74は減算器161及び比較器162~175にて構成される。なお、この回路は一例であり、パターン等により構成は変わる。減算器161では、注目画素

の周辺画素に対する重み付けを行う。つまり、注目画素データ D_{c15} から重みデータ D_{ob} を引いて重み付き注目画素データ D_{cob15} を生成し、比較器162~175へ出力する。なお、重みデータ D_{ob} は任意に設定できる。そして比較器162~175では重み付き注目画素データ D_{cob15} と周辺画素データ(この場合 $D_{c2} \sim D_{c5}$, D_{c7} , D_{c12} , D_{c13} , D_{c18} , D_{c19} , D_{c24} , $D_{c26} \sim D_{c29}$ の14画素)の濃度の大小関係に応じて信号 $D_{e1} \sim D_{e14}$ を得る。ここで信号 $D_{e1} \sim D_{e14}$ は(重み付き注目画素データ) > (周辺画素データ)のとき“H”となり、それ以外のときは“L”となる。

【0071】次に白レベル検出回路73の図13(a)のパターンを用いた場合について図18に示す、白レベル検出回路73は、加算器141及び比較器142~155にて構成される。なおこの回路は一例でありパターン等により構成は変わる。加算器141では注目画素の周辺画素に対する重み付けを行うが、白レベル検出回路73では黒レベル検出回路74とは逆に注目画素データ D_{c15} に重みデータ D_{ow} を加えて重み付き注目画素データ D_{cow15} を生成し、比較器142~155へ出力する。なおこの重みデータ D_{ow} は任意に設定できる。そして比較器142~155では黒レベル検出回路74と同様に重み付き注目画素と周辺画素の濃度の大小関係に応じて信号 $D_{d1} \sim D_{d14}$ を得る。ここで信号 $D_{d1} \sim D_{d14}$ は、黒レベル検出回路74とは逆に(重み付き注目画素データ) < (周辺画素データ)のとき“H”となりそれ以外のときは“L”となる。

【0072】なお、パターンマッチングは、単一パターンのみではなく、複数パターンを用いてもよく、その際は各パターンに応じた図17、図18に類似した黒レベル検出回路(1)74a~黒レベル検出回路(n)74c及び白レベル検出回路(1)73a~白レベル検出回路(n)73cを一例として図19のように並列に配置することにより実現できる。

【0073】次にパターンマッチング回路75について説明する。

【0074】まず本発明において、パターンマッチングを行う際に入力画像が、副走査方向に縮小されている場合に、副走査方向の大きさが、網点のピッチよりも大きなパターンを用いる効果について説明する。

【0075】図21に示すように、荒い網点を副走査方向に50%縮小した場合は、等倍時の検出パターンを、副走査方向に小さくしたパターンが検出パターンとなるか、図20に示すように、細かい網点を副走査方向に縮小した場合は、隣接した網点の核どうしが、つながりあってしまい、大きな核を形成してしまう。このため、等倍時の検出パターンを副走査方向に小さくするのではなく、逆に副走査方向に大きくしたパターンか、または同じ大きさのパターンにより網点の核を検出することができるのがわかる。

【0076】以下、回路を用いて、パターンマッチング回路について説明する。

【0077】パターンマッチング回路75の図13

(a)のパターンを用いた場合について図22に示す。パターンマッチング回路75はANDゲート181、182及びORゲート183にて構成される。なおこの回路は一例でありパターン等により構成は変わる。白レベル検出回路73より得られた信号D_{d1}~D_{d14}は、(重み付き注目画素データ)<(周辺画素データ)のとき“H”となり、それ以外のときは“L”となる。したがって、ANDゲート181に信号D_{d1}~D_{d14}を入力して、信号D_{d1}~D_{d14}が全て“H”のとき、つまり注目画素が、全ての周辺画素に対して、ある重み以上濃度が低いとき、パターンにマッチしているので、その注目画素を網点と判定し、信号D_{aw}を“H”とする。逆に信号D_{d1}~D_{d14}のうち1つでも“L”のときはパターンにマッチしていないので、その注目画素を非網点と判定し、信号D_{aw}を“L”とする。同様にして黒レベル検出回路74より得られた信号D_{e1}~D_{e14}をANDゲート182に入力し、信号D_{e1}~D_{e14}が全て“H”のときは、注目画素が全ての周辺画素に対してある重み以上濃度が高いとき、パターンにマッチしているので、その注目画素を網点と判定し信号D_{ab}を“H”とする。また逆に信号D_{e1}~D_{e14}のうち、1つでも“L”のときは、パターンにマッチしていないので、その注目画素を非網点と判定し信号D_{ab}を“L”とする。そして信号D_{aw}、D_{ab}はORゲート183に入力され、信号D_{aw}、D_{ab}のうちいづれか一方が“H”のとき、つまり、いづれか一方のパターンとマッチし、その注目画素が網点と検出されたときは、その注目画素を網点とし、信号D_fを“H”とする。また信号D_{aw}、D_{ab}が両方とも“L”のときは、その注目画素は非網点とし、信号D_fを“L”とする。

【0078】なお、パターンを複数使用してパターンマッチングを行う場合は、一例として図19に示すように複数の黒レベル検出回路(1)74a~黒レベル検出回路(n)74c及び白レベル検出回路(1)73a~白レベル検出回路(n)73cに対応したANDゲートを設け、パターンにマッチしているかどうか(注目画素が網点が非網点か)を判定し、その出力をORゲートに入力して、各パターンのうち1つでもその注目画素と網点と判定した場合には、その注目画素を網点として判定し、いづれのパターンでもその注目画素を非網点と検出した場合には、その注目画素を非網点で判定するようにすれば実現できる。

【0079】網点ブロック検出回路(1)76及び網点ブロック検出回路(2)77について説明する。網点ブロック検出回路(1)76及び、網点ブロック検出回路(2)77では、複数画素からなるブロック中に網点画素が、1画素存在するブロック(網点ブロック1)、同

じく複数画素存在するブロック(網点ブロック2)をそれぞれ検出する。

【0080】従来の技術では、このような網点ブロック化を行う際にそのブロック中に1画素でも網点画素が存在する場合、そのブロックを網点ブロックとして、領域化を行ってきたが、この場合ノイズ等により、1画素でも非網点画素を網点画素と誤認識するとそのブロック全体を網点ブロックとして誤認識してしまう欠点が存在した。図23に、100線、濃度50%の網点画像を前述の400dpiで読取った場合の画像データを示す。図中ハッチングをした所が網点であり、画像データの上及び左の1~16の数字は各画素に対応する。図23より明らかなように、適当な大きさのサイズのブロック、例えば8×8画素をブロックとするとブロック中に、4~5個網点が存在しているので、ブロック中に複数の網点画素が存在する場合にそのブロックを網点ブロックとすると、前述のような欠点を防ぐことができる。ただし、モアレ等の影響により、網点画素が検出しづらくなっている場合、ブロック中に複数画素存在する場合に、そのブロックを網点ブロックとすると、逆に網点画像部を非網点画像部と誤認識してしまう欠点が生じるので、本発明においては、ブロック中に1画素でも網点画素が存在する場合とブロック中複数網点画素が存在する場合をそれぞれ網点ブロック1、網点ブロック2として検出し、以後の処理に使用する。

【0081】図24に網点ブロック検出回路(1)76及び網点ブロック検出回路(2)77の構成を示す。網点ブロック検出回路(1)76は、主走査方向網点ブロック検出回路(1)201で、ブロックの主走査方向に、網点画素が存在するかどうかを検出し、副走査方向網点ブロック検出回路(1)203により、ブロックの副走査方向に、網点画素が存在するラインが1ラインでも存在するときそのブロックを網点ブロック1として検出する。

【0082】網点ブロック検出回路(2)77は、主走査方向網点ブロック検出回路(1)201によりブロックの主走査方向に網点画素が存在するかどうかを検出し、副走査方向網点ブロック検出回路(2)204により、網点画素の存在するラインが所定の複数ライン存在するときそのブロックを網点ブロック2として検出する。また、主走査方向網点ブロック検出回路(2)202により、ブロックの主走査中、網点画素が、所定の複数画素存在するかどうかを検出し、副走査方向網点ブロック検出回路(1)205により、ブロックの副走査方向に網点画素が所定の複数画素存在するラインが1ラインでも存在するときそのブロックを網点ブロック2として検出する。そしていずれか一方で、そのブロックが網点ブロック2として検出された場合に、そのブロックを網点ブロック2として検出する。

【0083】以下各部の詳細をブロックのサイズを主走

19

査方向8画素×副走査方向8ラインとし、ブロック中2画素以上、網点画素が存在するときに網点ブロック2とする場合について説明する。

【0084】主走査方向網点ブロック検出回路(1)201について説明する。主走査方向網点ブロック検出回路(1)201は図25に示すように、8進カウンタ210、フリップフロップ211~213、ANDゲート214、215、ORゲート216及びNANDゲート217にて構成される。なお、この回路は一例でありブロックのサイズにより回路は異なる。また、図27にはこの回路の動作のタイミングの一例を示す。なお、図27中の①~⑦の信号は図25中の①~⑦の各位置に対応する。また図27のCLKの上の数字は画素に対応する。以下これらの図を用いて、主走査方向網点ブロック検出回路(1)201について説明する。

【0085】主走査方向網点ブロック検出回路(1)201では、ブロックの主走査方向8画素中に網点画素が存在するかしないかを検出する。8進カウンタ210のQ_A~Q_Cの各出力は基準信号CLKが入力されるたびに、図27のように順次出力を変えていくので、これをANDゲート214に入力することにより、フリップフロップ211の出力①、②は、8クロック毎に“H”または“L”になる。ここで例えば2画素目が網点と判定され信号D_fが“H”になっている場合、ANDゲート215の出力⑤の状態にかかわらずORゲート216の出力③が“H”となるので次のCLKの立上りでこの信号がラッチされ、フリップフロップの出力④が“H”となるそして信号①と信号②をANDゲート215に入力することにより、ANDゲート215の出力⑤は“H”となり、この信号⑤がORゲート216に入力されるので、以下、信号D_fの状態にかかわらず信号③は“H”となり信号④も“H”となる。そして、9画素目にくると信号②が“L”になるので、信号D_fが“L”のとき、信号③は“L”となり、次のCLKを立上りで、この信号がラッチされ信号④が“L”となる信号①とCLKをNANDゲート217に入力することにより、NANDゲート217の出力⑥は図27のようになり、この信号⑥をフリップフロップ213のクロックに入力することにより、信号⑥の立上りで信号④がラッチされるので、フリップフロップ213の出力⑦は信号④が“H”のとき、つまり、8画素中に網点が存在したときは“H”となり逆に信号④が“L”つまり8画素中に網点が存在しなかったとき“L”となる。図27において、以下9画素目~16画素目まで8画素中には網点画素が2個存在する場合を、また17画素目から24画素目までは、網点画素が存在しない場合のタイミングの例を示す。

【0086】主走査方向網点ブロック検出回路(2)202について説明する。主走査方向網点ブロック検出回路(2)202は、図26に示すように、8進カウンタ

20

220、221、フリップフロップ222~224、ディレイ225、226、ANDゲート227、228、ORゲート229、230及びNANDゲート231にて構成される。なお、この回路は一例であり、ブロックのサイズにより回路は異なる。また図28には、この回路の動作のタイミングの一例を示す。なお、図28中の①~⑩の信号は図26中の①~⑩の各位置に対応する。また図28のCLKの上の数字は画素に対応する。以下これらの図を用いて、主走査方向網点ブロック検出回路(2)202について説明する。

【0087】主走査方向網点ブロック検出回路(2)202では、ブロックの主走査方向8画素中に網点画素が2画素以上存在するか否かを検出する。8進カウンタ210のQ_A~Q_Cの各出力は基準信号CLKが入力される度に図28のように順次出力が変わるので、これらをANDゲート227に入力することにより、フリップフロップ222の出力①、②は、8クロック毎に“H”または“L”になるここで例えば3画素目と6画素目が網点と判定され、信号D_fが“H”になっている場合、信号D_fとCLKの反転信号をANDゲート228に入力することにより、ANDゲート228の出力⑥は、信号D_fが“H”のときにCLKの反転信号が出力される。そして、この信号⑥を8進カウンタ221のクロックに入力すると、最初信号⑥が“H”となったときは、8進カウンタ221のQ_B、Q_C出力は共に“L”なので、この2つの信号をORゲート230に入力して得られるORゲート230の出力⑦も“L”となるが、信号⑥が2回目に“H”になったときは、8進カウンタ221のQ_B出力が“H”となるので、信号⑦が“H”となる。そしてこの次のCLKの立上りで、この信号⑦がラッチされるので、フリップフロップ223の出力⑧も“H”となる。これ以後8進カウンタ221がクリアされるまではQ_B信号が“H”の状態を保つので、信号⑧も“H”の状態を保つ。そして信号①とCLKをNANDゲート231に入力することにより、NANDゲート231の出力⑨は図28のようになり、この信号⑨をフリップフロップ224のクロックに入力することにより、信号⑨の立上りで、信号⑧がラッチされるので、フリップフロップ224の出力⑩は信号⑧が“H”のとき、つまり8画素中網点画素が2画素以上存在したときは“H”となり、信号⑧が“L”のとき、つまり8画素中網点画素が1画素しか存在しなかったとき、または網点画素が存在しなかったときは、“L”となる。8進カウンタ221のクリアは信号①をディレイ225に入力して得られた信号③と信号②をORゲート229に入力し得られる。ORゲート229の出力④を更にディレイ226に入力し遅延させた信号⑤を、8進カウンタ221のクリア端子(CR)に入力することにより行う。図28において、以下9画素目~16画素目は、網点画素が1画素存在する場合を、また17画素目から24画素目

までは、網点画素が存在しない場合のタイミングの例を示す。

【0088】副走査方向網点ブロック検出回路(1)203, 205について説明する。副走査方向網点ブロック検出回路(1)203, 205は、図29に示すように、8進カウンタ240、メモリ241、ORゲート242、ANDゲート243及びNANDゲート244にて構成される。なお、この回路は一例であり、ブロックのサイズにより回路は異なる。また図30にはこの回路の動作のタイミングの一例を示す。なお、図30中の①

～⑤の信号は図29中の①～⑤の各位置での信号と対応する。また図30の1/8CLKの上の数字は、ブロックに対応する。なお、ここで1/8CLKとは、基準信号CLKを8クロックにつき1クロック出力する信号である。以下これらの図を用いて副走査方向網点ブロック検出回路(1)203, 205について説明する。

【0089】副走査方向網点ブロック検出回路(1)203, 205では、主走査方向網点ブロック検出回路

(1)201又は主走査方向網点ブロック検出回路

(2)202により、ブロックの主走査8画素中に網点

画素が存在するかしないか又は網点画素が、2画素以上

存在するかしないかを検出した後に、ブロックの副走査

8ライン中1ラインでも、網点画素が存在するという検

出結果が存在したときにそのブロックを網点ブロック1

として検出し、また8ライン中1ラインでも、網点画素

が2画素以上存在するという検出結果が存在したときに

そのブロックを網点ブロック2として検出する。まず網

点ブロック1の検出について説明する。8進カウンタ2

40は、LSYNCが入力されるたびに、順次、カウン

トアップしていく。そしてこのQ_A～Q_C出力をNAN

Dゲート244に入力することにより、信号⑨を得る。

まずカウンタ240の出力が7の場合Q_A～Q_Cの各出力

は“H”となるので、信号④は“L”となる。そして

主走査方向網点ブロック検出回路(1)201の検出結果

の信号①が今、1ブロック目と4ブロック目に網点画

素が存在し“H”になったとすると、メモリ241の出力

③がどのような状態であっても、信号④が“L”なので

ANDゲート243の出力⑤は“L”となる。そして、信号①と

信号⑤をORゲート242に入力し1ブロック目と4ブロック目

が“H”となった信号②を得る。

次に、次のラインに進み、カウンタ240の出力が0の場合、

信号④は“H”となる。そして、信号①が今、2

ブロック目と4ブロック目で“H”になったとすると、

メモリ241の出力③は、前ラインでORゲートの出力

信号②を1/8CLKでラッチした信号であり、前ラインの

信号①で1ブロック目と4ブロック目が“H”であった

信号が保持されている。そして信号④が“H”なので、

信号⑤は信号③がそのまま出力された信号となり、従

ってORゲート242からの出力②は、1, 2, 4ブロック目

が“H”の信号となる。以下同様に進みカウ

タの出力が6の場合、信号④は“H”となる。そして信号①が、今3ブロック目が前の7ラインも含めて初めて“H”になったとすると、信号④が“H”なので、信号⑤は、メモリ241で保持していた信号③がそのまま出力された信号となり、従って信号②は、1～4ブロック目が“H”の信号となる。そしてこの信号②が1/8CLKでラッチされ次のラインでのメモリ241からの出力③となるので、結局、ブロックの副走査方向8ライン中1ラインでも、信号①が“H”すなわち、ブロックの主走査8画素中に網点画素が存在するという検出結果になると、それを保持しつづけて、そのブロックを網点ブロック1として検出し、“H”の信号を出力する。逆に8ライン中全て信号が“L”すなわち網点画素が存在しないという検出結果になると、それを保持しつづけてそのブロックを非網点ブロックとして“L”の信号を出力する。そして次のラインに進みカウンタ240の出力が再び7になると信号④が“L”になるので、メモリ241の出力③は保持されなくなり、クリアされる。

【0090】網点ブロック2の検出については、信号1をD_{in1}にするだけで、動作は網点ブロック1の検出と同様である。

【0091】副走査方向網点ブロック検出回路(2)204について説明する。副走査方向網点ブロック検出回路(2)204は、図31に示すようにメモリ250、ANDゲートブロック251及びORゲート252にて構成される。さらにANDゲートブロック251は図33に示すように複数のANDゲート260～287にて構成される。なお、これらの回路は一例であり、他の構成にしてもよい。また図32には、この回路のメモリ250の出力までの動作のタイミングを、また、図34にはANDゲートブロック251からORゲート252の出力までの動作の一例を示す。以下これらの図を用いて副走査方向網点ブロック検出回路(2)204について説明する。

【0092】主走査方向網点ブロック検出回路(1)201によりブロックの主走査方向8画素中に網点画素が存在するかどうかを検出した信号D_{g1}をメモリ250のD_{in1}に入力し、D_{out1}の出力をD_{in2}にフィードバックして入力し、以下同様にD_{out2}の出力をD_{in3}の入力に、D_{out3}の出力をD_{in4}の入力に……というように出力を次の入力にフィードバックしてやると主走査方向網点ブロック検出回路(1)201からの1ライン目の検出信号D_{g1-1}をまずD_{in1}に入力し、次に2ライン目の検出信号D_{g1-2}を入力すると、D_{out1}の出力をD_{in2}に入力しているので、D_{out2}の出力からはD_{g1-1}が1ライン分遅延して出力される。以下、3ライン目、4ライン目、……の検出信号D_{g1-3}, D_{g1-4}, ……を順次入力し、8ライン目の検出信号D_{g1-8}を入力すると、D_{out1}～8の各出力信号D_{g11}～D_{g18}は、1ライン目～8ライン目の検出信号D_{g1-1}～D_{g1-8}となり、ブロックの副

走査方向8ライン分の信号が得られることになる。次に信号 $D_{g11} \sim D_{g18}$ をANDゲートブロック251に入力すると、ANDゲートブロック251では、図に示すように信号 $D_{g11} \sim D_{g18}$ の各2つの信号の入力のANDを取っているので、図に示すように、信号 D_{g11} が1, 3, 4, 7, 11, 12ブロック目で、信号 D_{g12} が2, 3, 4, 6, 8, 9, 12ブロック目で、主走査8画素中網点画素が存在し「H」になり、信号 $D_{g13} \sim D_{g18}$ には網点画素が存在せず常に「L」だったとすると、ANDゲートブロック251からの出力信号 $D_{h11} \sim D_{h38}$ は信号 D_{h12} が信号 D_{g11} , D_{g12} が3, 4, 12ブロック目で共に「H」ということは3, 4, 12ブロック中に少なくとも、2画素以上網点画素が存在しているため、3, 4, 12ブロック目を網点ブロック2として検出し「H」とする。その他の信号は、2ラインで共に「H」となるブロックが存在しないので網点ブロック2として検出できず「L」となる。そして信号 $D_{h11} \sim D_{h38}$ をORゲート252に入力すると、信号 D_{h12} の3, 4, 12ブロック目が「H」なので、3, 4, 12ブロック目を網点ブロック2と検出して「H」を出力する。

【0093】図35～図38は、前述の回路より得られた、1点網点ブロック情報 D_g 、2点網点ブロック情報 D_h を基に、図39に示す、計6つのブロック（以下エリアと言う）の D_g , D_h により、網点エリアであるかを判定する回路の具体的な一例を示すブロック図である。また、図40、図41は、前記網点エリアであるかを判定する回路の動作を示す、タイミングチャートである。以下、図35図～38と図40、図41を基に説明を行う。

【0094】図35～図38において、300, 330はFIFORAM（ファースト・イン・ファースト・アウト・ラム）、301, 302は多入力D-FF、303～317, 319～325は多入力AND素子、318, 326, 327, 329, 333は多入力オア素子、328はAND素子、331はオア素子、332はシフトレジスタである。

【0095】図40において、前述の回路より、LGATE, $1/8$ LGATE, $1/8$ CLK, IND_g , IND_h （本回路図35の D_g , D_h に入力される、1点または2点網点ブロック情報）が入力される。上段5つの信号（LGATE, $1/8$ LGATE, IND_g , IND_h , $1/8$ CLK）の IND_g , IND_h の DAT_{gn} , DAT_{hn} の部分を詳細に示した信号がその下段の信号である。 IND_g には1点網点ブロック情報データ、 n ライン目の8ピクセルごとに1, 2, 3……10, 11, 12, 13…… n とし、即ち、 DAT_{gn-1} , DAT_{gn-2} , DAT_{gn-3} , DAT_{g-4} , …… DAT_{gn-10} , DAT_{gn-11} , DAT_{gn-12} …… n とする。 IND_h （2点網点ブロック情報データ）も同様に DAT_{hn-1} , DAT_{hn-2} , DAT_{hn-3} , DAT_{hn-4} , …… DAT_{hn-10} , DAT_{hn-11} , DAT_{hn-12} , DAT_{hn-13} とする。FIFORAM300のリードライトCLKを $1/8$ CLKとし、ライト・リセット信号、リード・リセット信号を $1/8$ LGATEとしている。即ち、 D_{IN1} 端子から入力されたデータを DAT_{gn-1} とすると、同一時間上に、一つ前の $1/8$ LGATEが「H」になった時に書込んだ値、即ち、 n ライン目より8ライン前のデータ（ $DAT_{g(n-8)-1}$ ）を $1/8$ CLKに同期して、読出しを順次行う。

【0096】よって、 D_{g23} , D_{h23} , D_{g13} , D_{h13} なるタイミングの信号を得られる。また、 D_{g23} , D_{h23} , D_{g13} , D_{h13} は多入力D-FF301により、 $1/8$ CLKをクロックとし、 D_{g22} , D_{h22} , D_{g12} , D_{h12} なるタイミングの信号を得る。更に D_{g22} , D_{h22} , D_{g12} , D_{h12} は、同じく、多入力D-FF302により、 D_{g21} , D_{h21} , D_{g11} , D_{h11} を得る。これで図39示すエリアの各ブロックの1点、2点網点情報 D_g , D_h が同一時間上に出力され、次第の網点エリア判定回路へと入力される。タイミングチャート図40上では、 IND_g , IND_h に n ライン目で $1/8$ LGATEが「H」になってから、8ピクセル単位で計算し、3番目の DAT_{gn-3} , DAT_{hn-3} が入力された時、 D_{g23} , D_{h23} からは、 n ライン目より8ライン前で $1/8$ LGATEが「H」になってから3番目の $DAT_{g(n-8)-3}$, $DAT_{h(n-8)-3}$, D_{g22} , D_{h22} からは、その $1/8$ CLK1個分前（ $1/8$ LGATEが「H」になってから2番目）の、 $DAT_{g(n-8)-2}$, $DAT_{h(n-8)-2}$, D_{g21} , D_{h21} からは同様に $1/8$ LGATEが「H」になってから1番目の $DAT_{g(n-8)-1}$, $DAT_{h(n-8)-1}$, D_{g13} , D_{h13} からは n ライン目より、16ライン前で $1/8$ LGATEが「H」になってから、3番目の $DAT_{g(n-16)-3}$, $DAT_{h(n-16)-3}$ 、同様に、 D_{g12} , D_{g12} からは、 $DAT_{g(n-16)-2}$, $DAT_{h(n-16)-2}$, D_{g11} , D_{h11} からは、 $DAT_{g(n-16)-1}$, $DAT_{h(n-16)-1}$ が各々得られることにより、前述のことから理解される。

【0097】図36、図37は前記図35で、同一時間上に得られた図39のエリアの各ブロックの1点、2点網点情報 D_g , D_h を基に、ある条件が成立すれば、そのエリアを網点エリアと判定する回路を示すブロック図である。

【0098】前記のある条件とは、図39のエリアにおいて、以下の通りである。

(1) 2点網点情報 D_h が4つ「H」で、かつ、1点網点情報 D_g が1つ以上「H」のとき。

(2) 2点網点情報 D_h が5つ以上「H」であるとき、そして、(1), (2)のいずれかが満点すればそのエリアを網点エリアとする。前記条件は一例であり、 D_h , D_g の個数はもちろんシステムにより可変できる。

25

前述のごとく、網点ブロック内に存在する。網点検出信号は、複数個存在する。つまり、網点エリア検出部で、網点ブロック6個を、 D_H つまり、2点網点検出とすればよいが、網点原稿はCCDによる読取ピッチとの位相差により、モアレが発生する。このモアレにより、網点ブロックが実際網点画像であるにもかかわらず、複数の網点検出がなされないことがある。また、例えば、文字の一部分や地肌の汚れを1つのドットとして検出し、それを網点領域に誤判定することがある。よって、前述のごとく、網点ブロックを、1点以上網点検出のみにすると、前記誤判定が多くなり、さらに網点ブロック2点以上網点検出のみにすると、前記モアレにより、網点エリアを、検出できなくなる。そのため、1点網点及び2点網点検出ブロックの組合せ、さらには、網点検出がないブロックとの組合せにより、前記欠点を改善するものである。

【0099】図36の、多入力アンド素子303~317は、各2点網点情報 $D_{H11} \sim D_{H13}$ 、 $D_{H21} \sim D_{H23}$ の中から、4つずつ、すべての組合せを選び、前述の条件(1)の2点網点情報が4つ「H」となるかを示し、その情報を次段の回路へ伝えられる。そして、 $B_{41} \sim B_{49}$ 、 $B_{410} \sim B_{415}$ は、多入力オア素子327の入力となり、いずれか1つでも「H」になるかの情報をアンド素子328の一方の入力へ、また、他方の入力に、多入力オア素子318より1点網点情報 $D_{G11} \sim D_{G13}$ 、 $D_{G21} \sim D_{G23}$ その中の1つ以上の「H」が有るかを多入力オア素子329に伝えている。よって、アンド素子328の出力は、条件(1)があてはまることになる。

【0100】次に、多入力アンド素子320~325は、2点網点情報 $D_{H11} \sim D_{H13}$ 、 $D_{H21} \sim D_{H23}$ の中から、5つずつ、すべての組合せを選び、多入力オア素子326に出力し、それらの内1つでも「H」があるかを多入力オア素子329に伝えている。多入力アンド素子319は、2点網点情報 $D_{H11} \sim D_{H13}$ 、 $D_{H21} \sim D_{H23}$ のすべてが「H」であるかを多入力オア素子329に伝える。以上のことは、条件の(2)にあてはまる。

【0101】よって多入力オア素子329からは、条件(1)または(2)があてはまった時は「H」、そうでなかった時は「L」という A_{MI} 信号が出力される。

【0102】図38は、図39のエリアが網点エリアであったら、(A_{MI} 信号が「H」の時)、そのすべてのデータ、8(ピクセル)×8(ライン)を網点領域とする回路のブロック図である。ここで、図41のタイミングチャートを参照しながら説明を行う。

【0103】 $1/8CLK$ 、 $1/8LGATE$ 、 $LGATE$ を基準とし、画像データ DAT_{IN} が図41の様になっているとする。ここで DAT_{n-1} は、 n ライン目で、 $LGATE$ の立上りから数え、8ピクセル単位で1番目の画像データを表している。さらに $A_{MI\ n}$ は n ラ

26

イン目の前述の回路より検出された網点エリア情報、 $A_{MI\ (n-8)}$ は $(n-8)$ ライン目、 $A_{MI\ (n-16)}$ は $(n-16)$ ライン目の網点エリア情報のことであり、各々図41に記したタイミングの信号を得たものとする。

【0104】FIFORAM330は、リードライトCLKを $1/8CLK$ 、ライトリセット信号を $1/8LGATE$ 、リードリセット信号を $LGATE$ とすることで、 $1/8LGATE$ が「H」の時に書込んだ網点エリア情報を $LGATE$ が「H」になった時、1ライン前に書込まれた網点エリア情報を、 $1/8CLK$ に同期しながら順次読出す。

【0105】図41において、 $A_{MI\ n}$ は画像データ DAT_{n-1} と、 $DAT_{(n+1)-3}$ の時「H」で、 $A_{MI\ (n-8)}$ 、 $A_{MI\ (n-16)}$ は図41に記した画像データの範囲内では、すべて「L」であつたとする。FIFORAM330の D_{out1} 、 D_{out2} 端子からは画像データ DAT_{n-1} に対応する部分のみ「H」で、後は「L」という信号を出力する。オア素子331は図41に示す331出力という信号を出力し、シフトレジスタ332へと伝えられ、さらにオア素子331の出力と、シフトレジスタ332の Q_1 、 Q_2 出力(1回ラッチと2回ラッチ)とのオアを、多入力オア素子333で取られることにより、Bなる信号を得る。これは、画像データ DAT_{n-1} 、 DAT_{n-2} 、 DAT_{n-3} 、 $DAT_{(n-8)-1}$ 、 $DAT_{(n-8)-2}$ 、 $DAT_{(n-8)-3}$ のエリアにおいて、 DAT_{n-1} のブロックのみ網点エリア情報が「H」であることを、エリア全体に対応する網点エリア情報を「H」とすることになる。

【0106】例えば最終段で、本発明で使用したFIFORAM、多入力D-F/F等で、遅延された分画像データも同様に遅延させ、網点エリア情報を制御信号とし、例えば、文字処理を設した画像データと中間調処理を設した画像データを、セレクト等を用いることで、文字、中間調の分離を行うことができる。また、本発明の具体的な実施例の説明では、図39のエリアを網点判定エリアとしたが、そのエリアの大きさをその装置の入出力特性や、対象原稿の特性等により、可変し、判定エラーを低減するように、本発明を基に容易に応用することもできる。また網点エリアを判定する条件も、前述の理由により、可変し判定エラーの低減を計ることもできる。

【0107】

【発明の効果】以上説明したように、本発明によれば、副走査方向に縮小された画像を、パターンマッチング法により網点検出する際に、パターンの副走査方向の大きさを、網点の副走査方向のピッチよりも大きくすることにより、縮小時に、網点が解像せず、網点の複数の核が合さって大きな核となった場合にも、網点検出することが可能となり、縮小時の網点検出率を向上できる。

【図面の簡単な説明】

50

【図1】本発明の実施例に係る網点領域検出回路の全体ブロック図である。

【図2】デジタル複写機の概略説明図である。

【図3】スキャナの電気的構成図である。

【図4】入力データと補正後データの波形図である。

【図5】MTF補正の一例の説明図である。

【図6】MTF係数設定の回路構成を示すブロック図である。

【図7】Y方向遅延回路図である。

【図8】Y方向遅延回路のタイミングチャートである。 10

【図9】タイミング関係を制御する制御信号についての説明図である。

【図10】X方向遅延回路図である。

【図11】X方向遅延回路のタイミングチャートである。

【図12】X方向遅延回路によって得られる画像データを示す説明図である。

【図13】パターンマッチングに使用するパターンを示す説明図である。

【図14】イメージスキャナで読み取られた網点画像の 20 信号波形図である。

【図15】従来例のパターンマッチング方式の説明図である。

【図16】網点とその濃度分布を示す説明図である。

【図17】黒レベル検出回路のブロック図である。

【図18】白レベル検出回路のブロック図である。

【図19】黒レベル検出回路と白レベル検出回路を並列に配置した例を示す説明図である。

【図20】細かい網点の場合の検出例を示す説明図である。

【図21】荒い網点の場合の検出例を示す説明図である。

【図22】パターンマッチング回路の一例を示すブロック図である。

【図23】網点画像を読取った場合の画像データを示す説明図である。

【図24】網点ブロック検出回路の構成を示すブロック図である。

【図25】主走査方向網点ブロック検出回路(1)の一例を示すブロック図である。 40

【図26】主走査方向網点ブロック検出回路(2)の一例を示すブロック図である。

【図27】図25に示す回路のタイミングチャートである。

【図28】図26に示す回路のタイミングチャートである。

【図29】副走査方向網点ブロック検出回路(1)の一例を示すブロック図である。

【図30】図29に示す回路のタイミングチャートである。

【図31】副走査方向網点ブロック検出回路(2)の一例を示すブロック図である。

【図32】図31に示す回路のタイミングチャートである。

【図33】ANDゲートブロックの一例を示すブロック図である。

【図34】ANDゲートブロックからORゲートの出力までの動作の一例を示す説明図である。

【図35】網点エリアであるかを判定する回路の一例を示すブロック図である。

【図36】網点エリアであるかを判定する回路の一例を示すブロック図である。

【図37】網点エリアであるかを判定する回路の一例を示すブロック図である。

【図38】網点エリアであるかを判定する回路の一例を示すブロック図である。

【図39】エリアの各ブロックの1点、2点網点情報を示す説明図である。

【図40】図35～図38に示す回路のタイミングチャートである。

【図41】図35～図38に示す回路のタイミングチャートである。

【図42】主走査変倍処理のブロック図である。

30 【図43】図42に示す回路のタイミングチャートである。

【図44】倍率ROMの格納データを示す説明図である。

【図45】倍率データROMのループカウンタ制御部の説明図である。

【符号の説明】

71 Y方向遅延回路

72 X方向遅延回路

73 白レベル検出回路

40 74 黒レベル検出回路

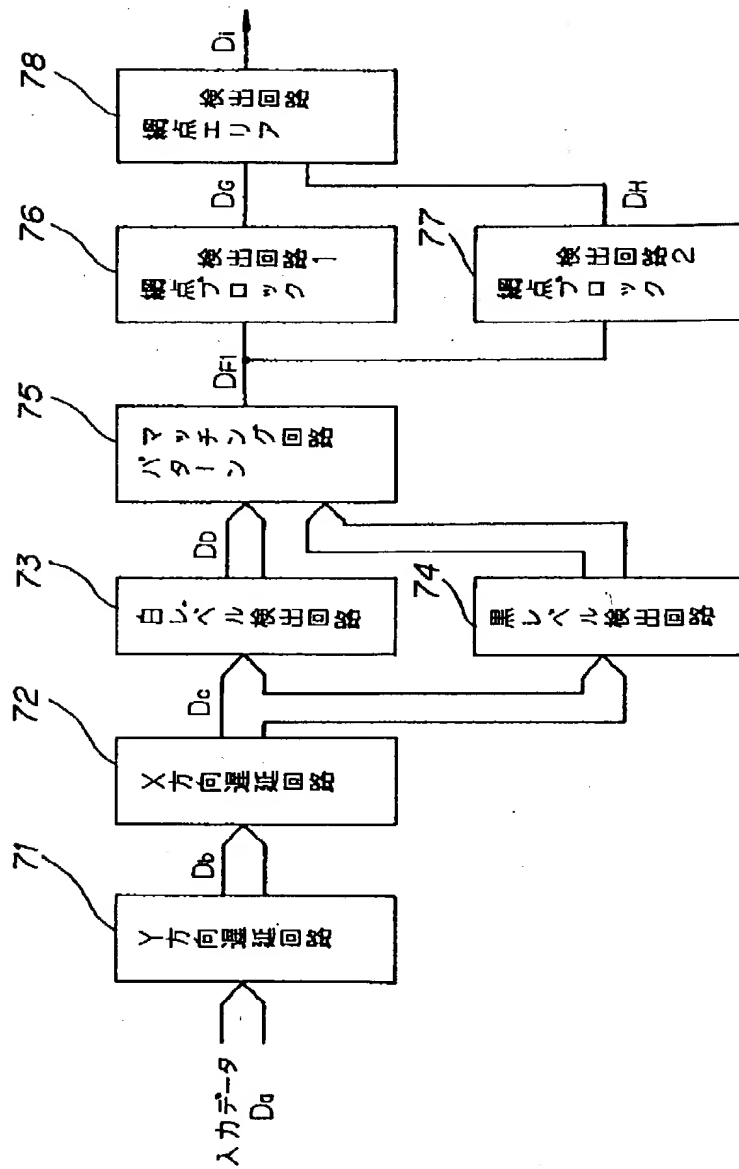
75 パターン・マッチング回路

76 網点ブロック検出回路(1)

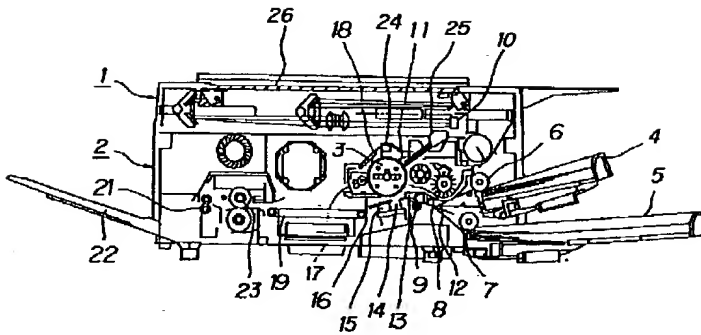
77 網点ブロック検出回路(1)

78 網点エリア検出回路

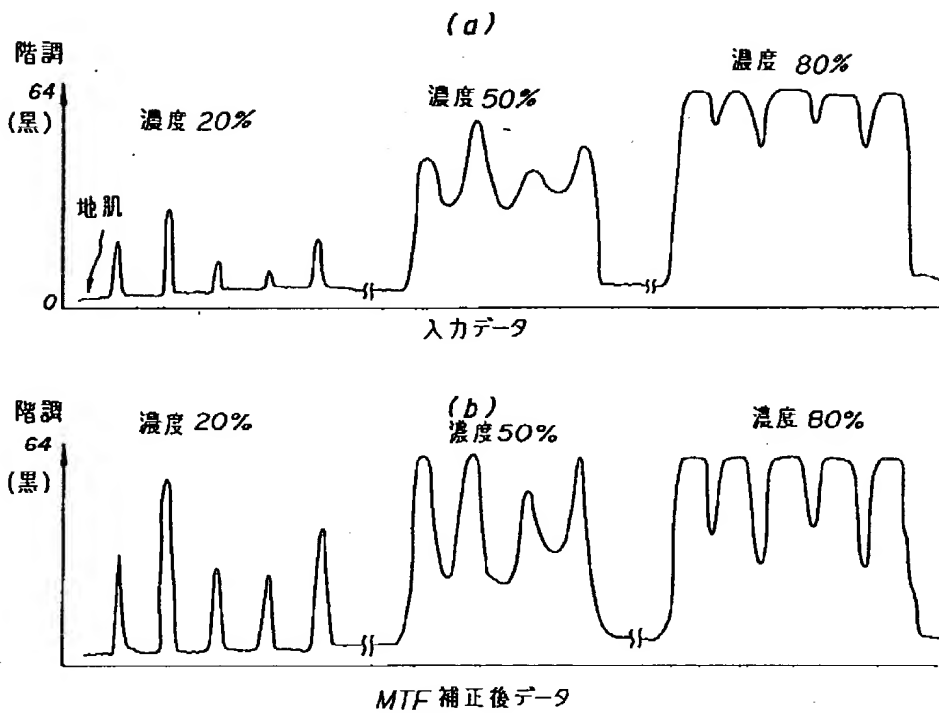
【図1】



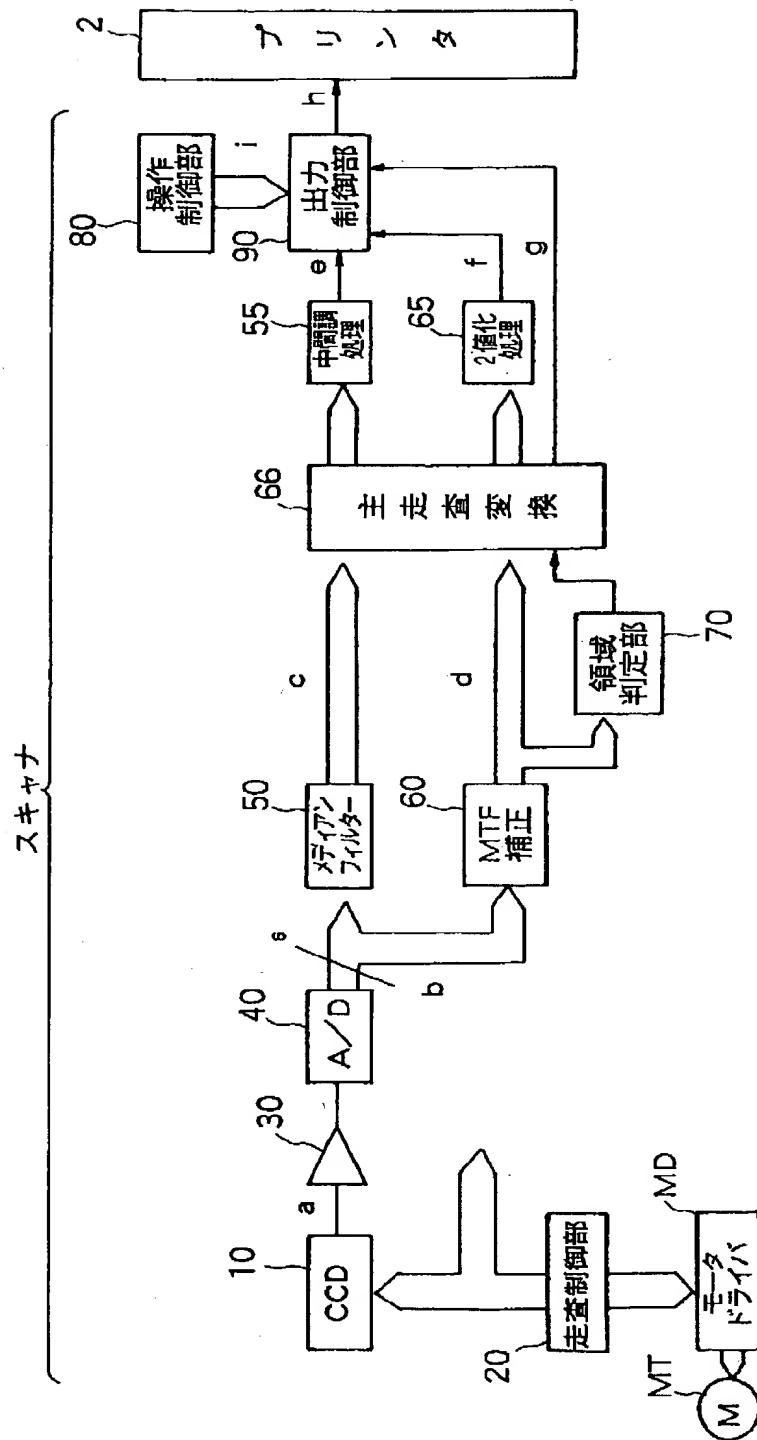
【図2】



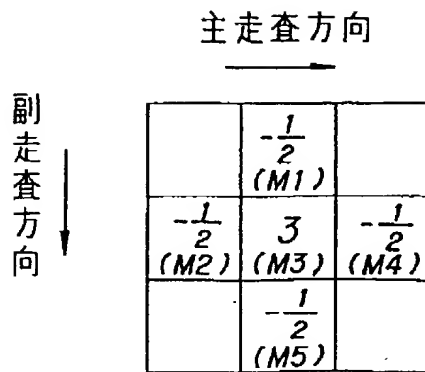
【図4】



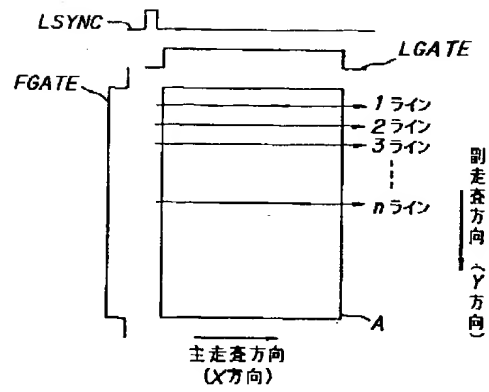
【図3】



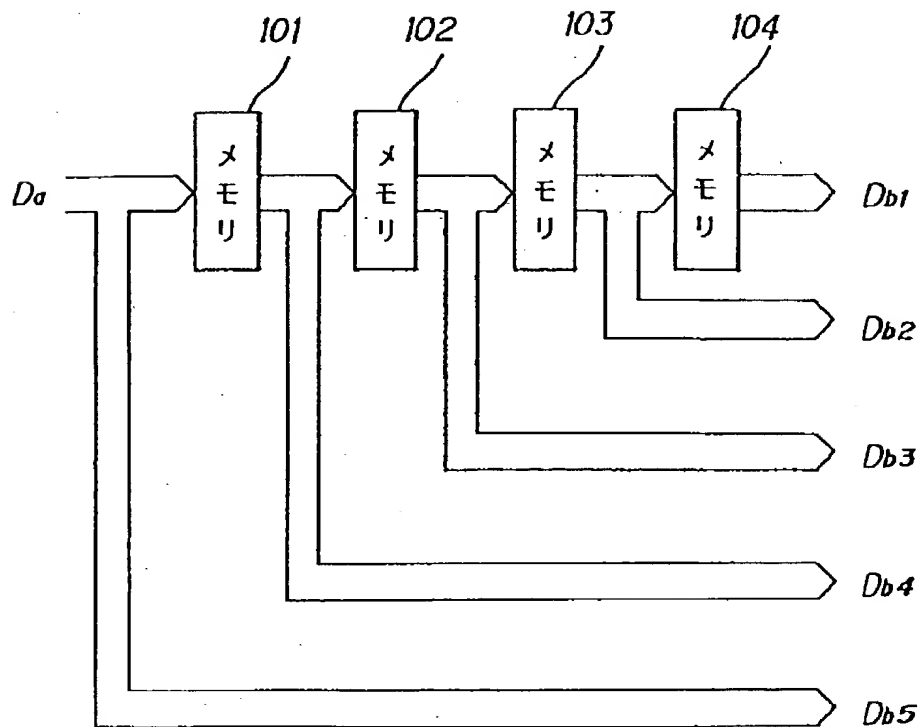
【図5】



【図9】

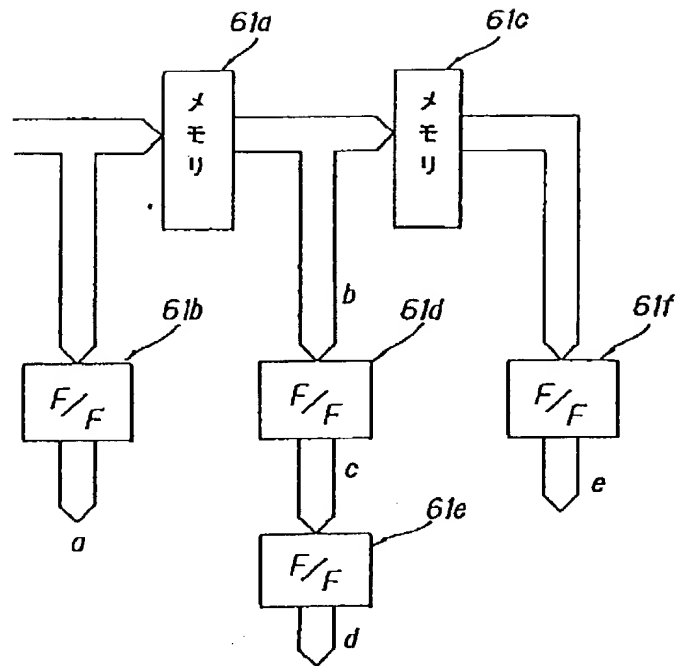


【図7】

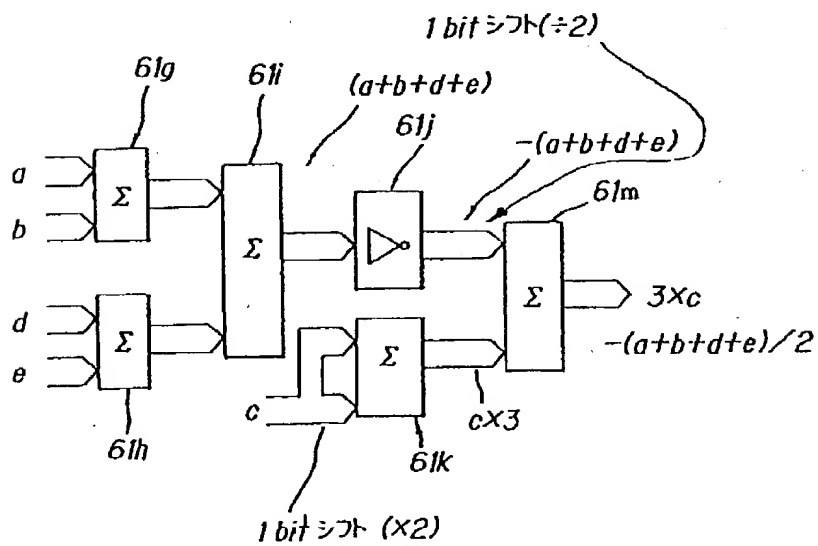


【図6】

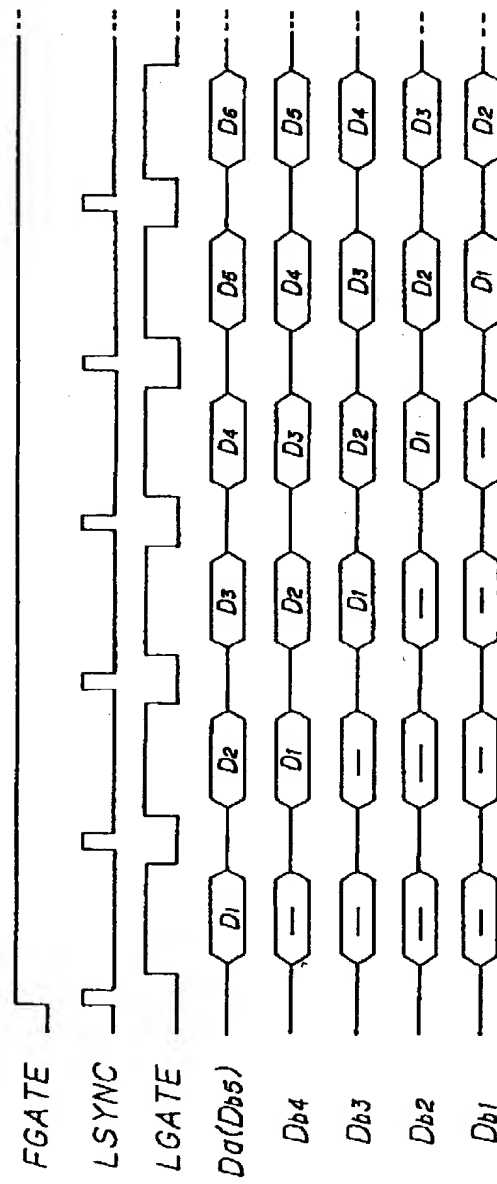
(a)



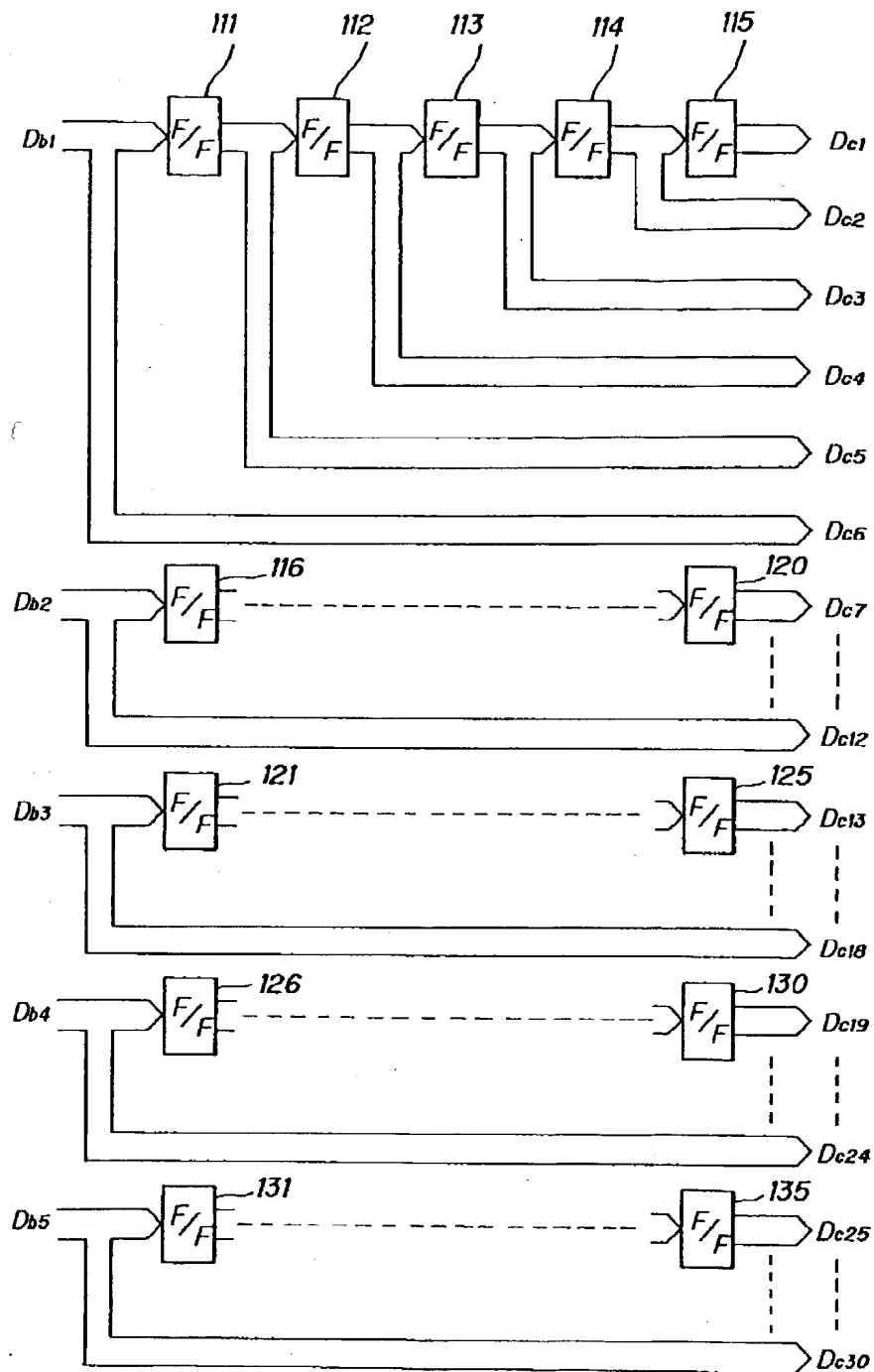
(b)



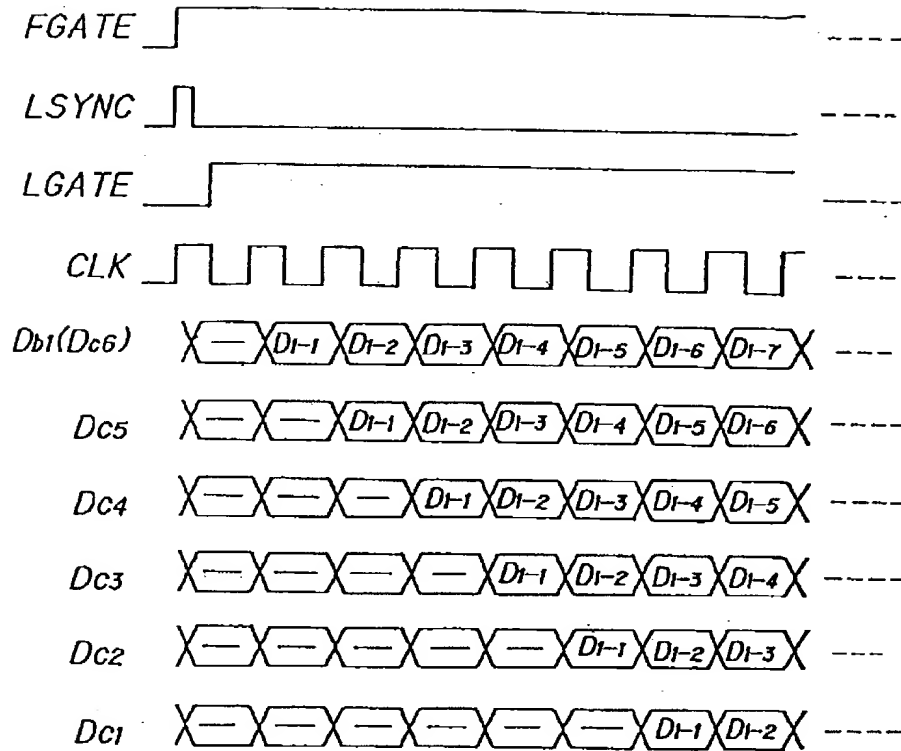
【図8】



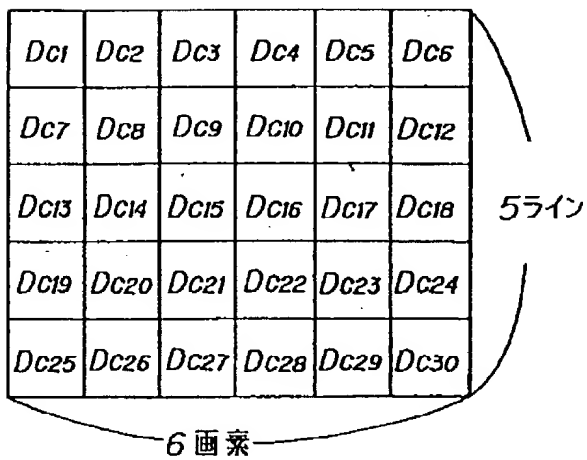
【図10】



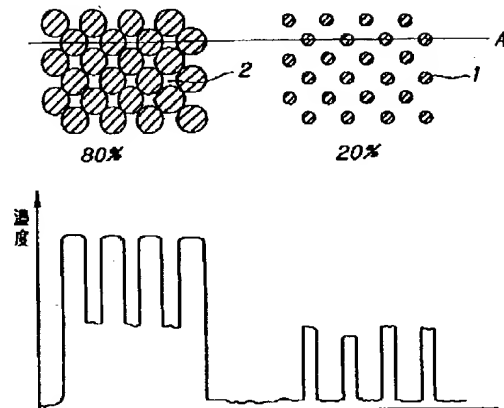
【図11】



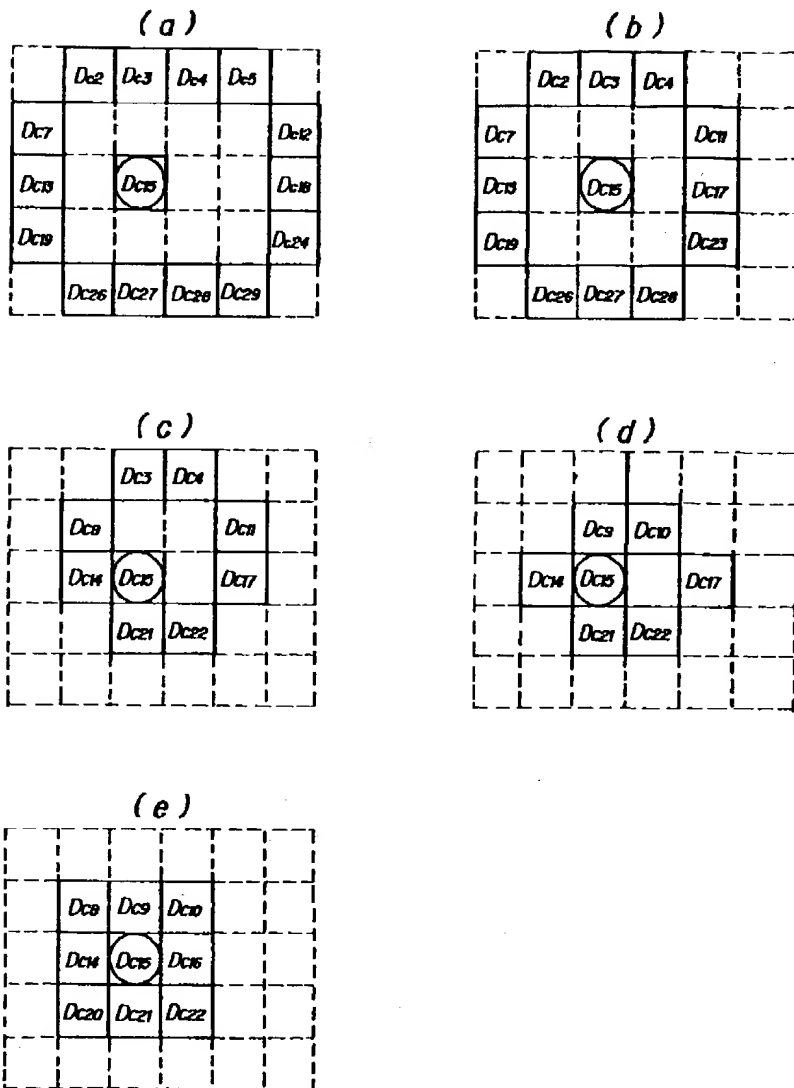
【図12】



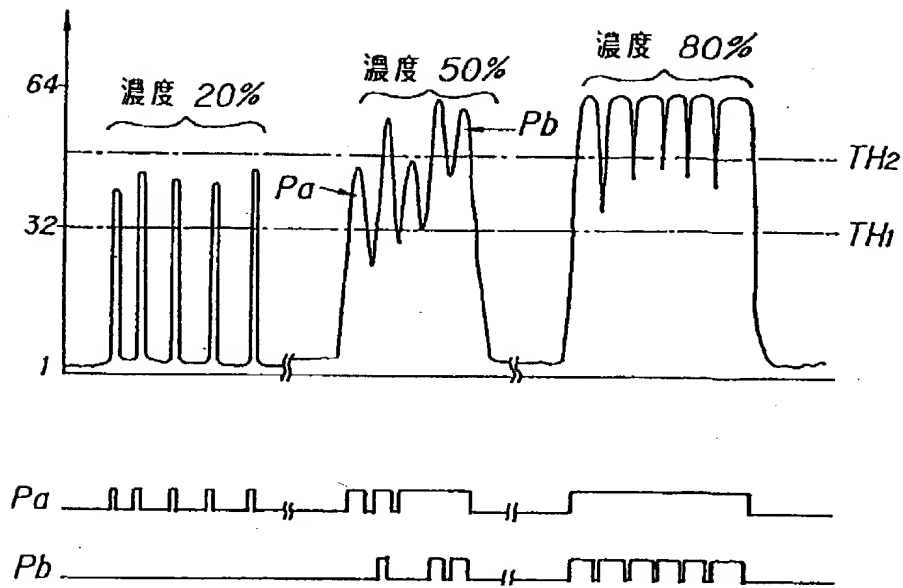
【図16】



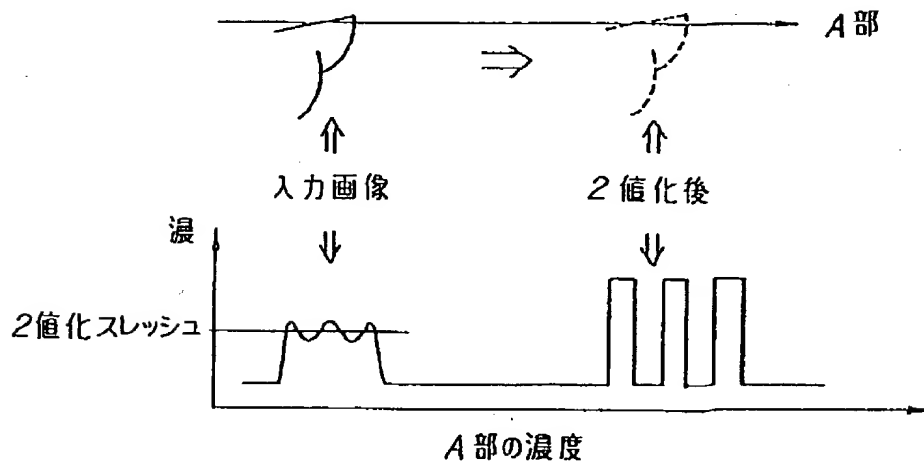
【図13】



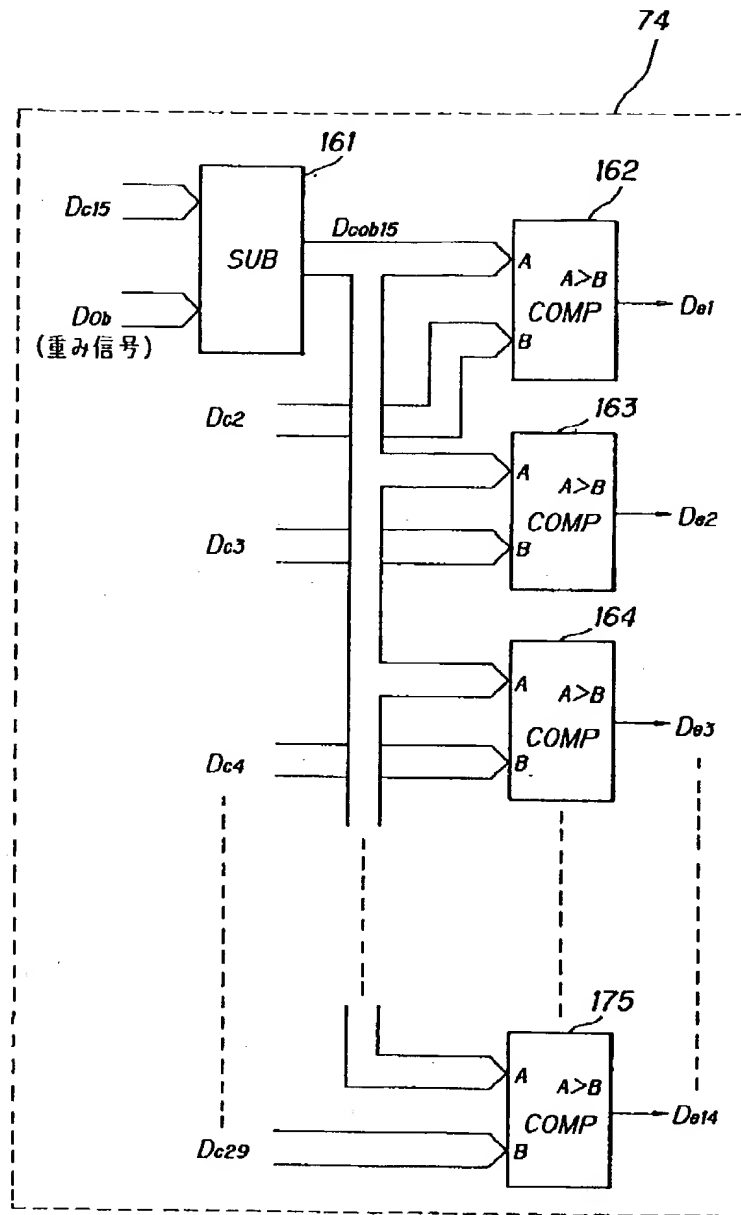
【図14】



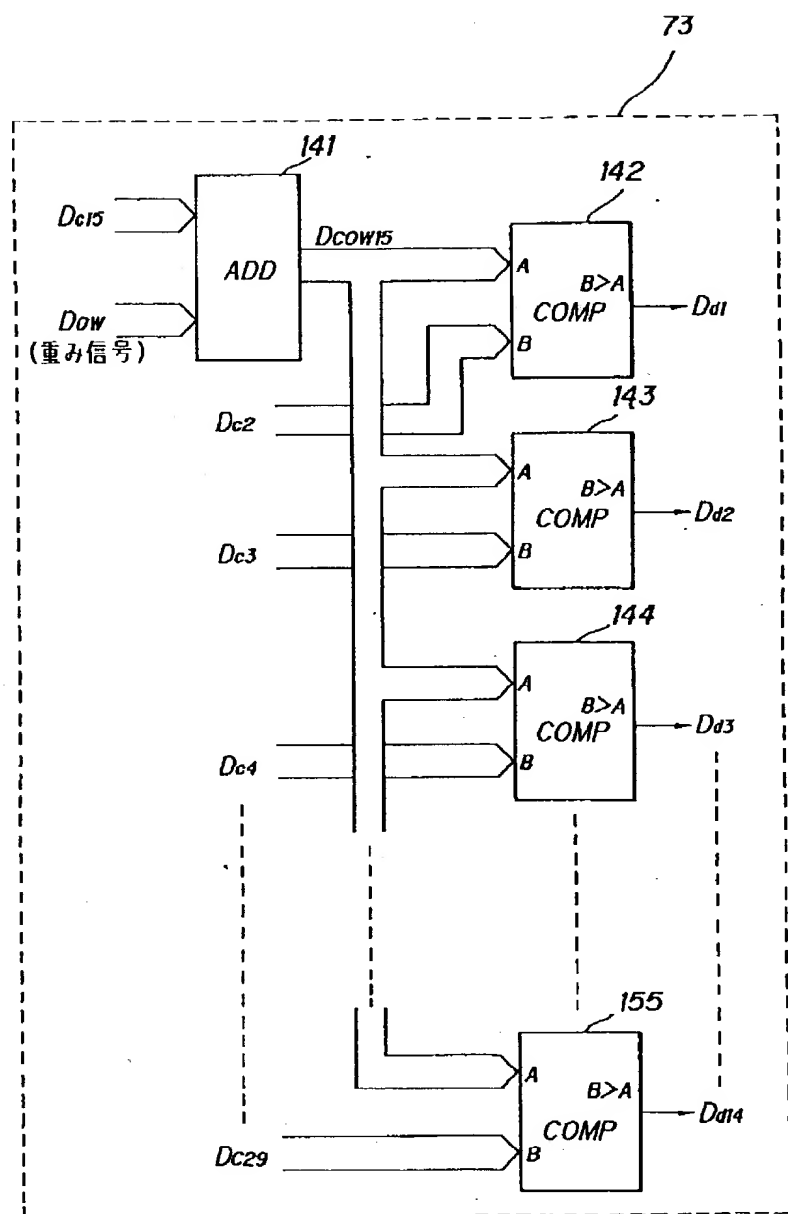
【図15】



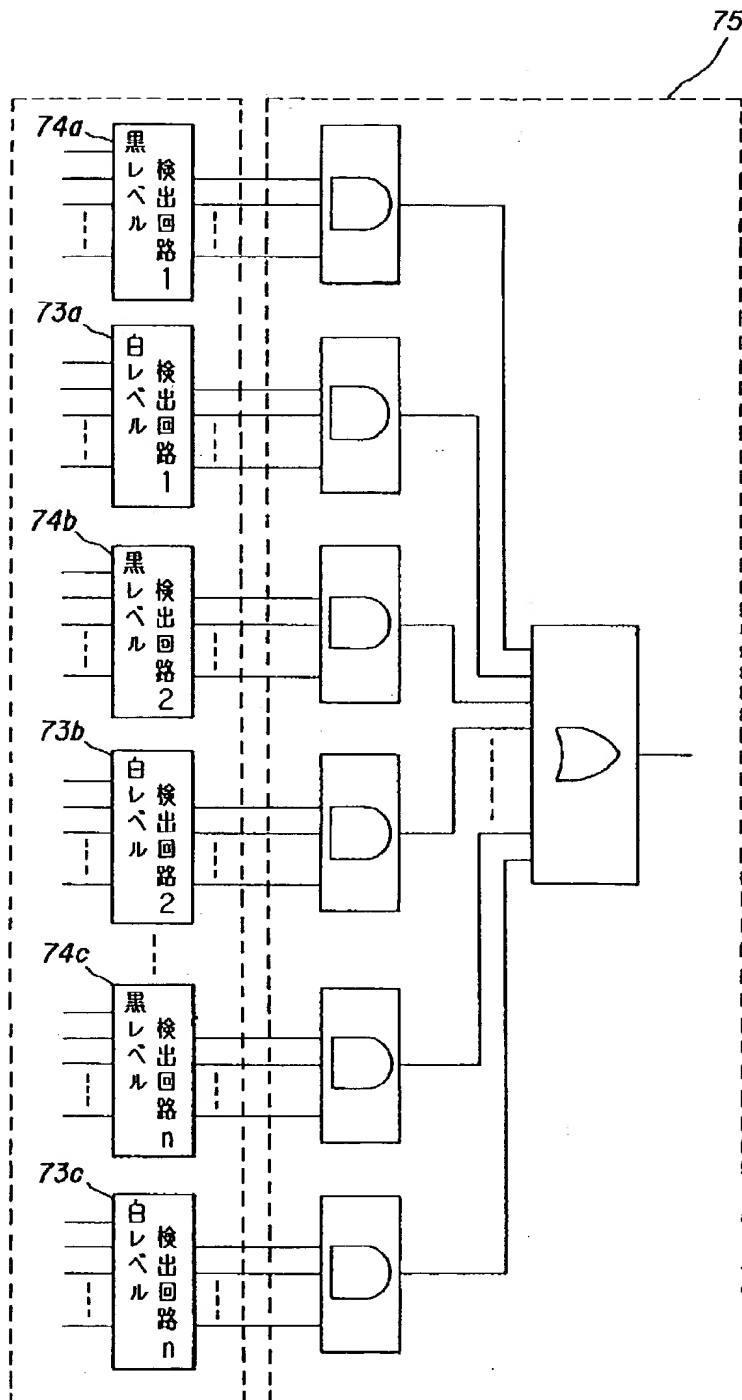
【図17】



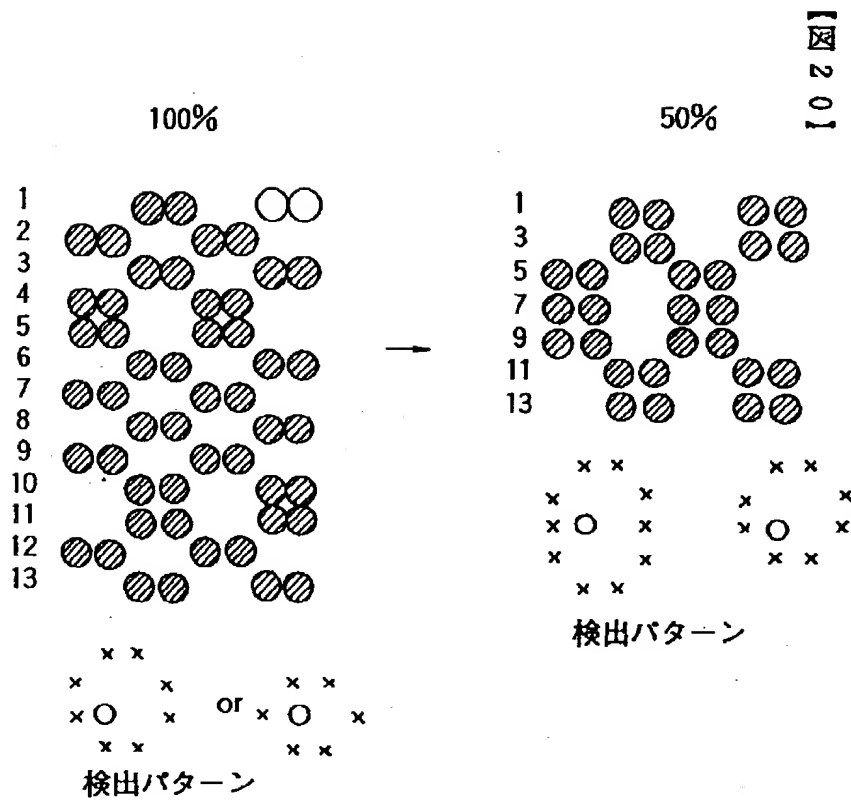
【図18】



【図19】



【図20】

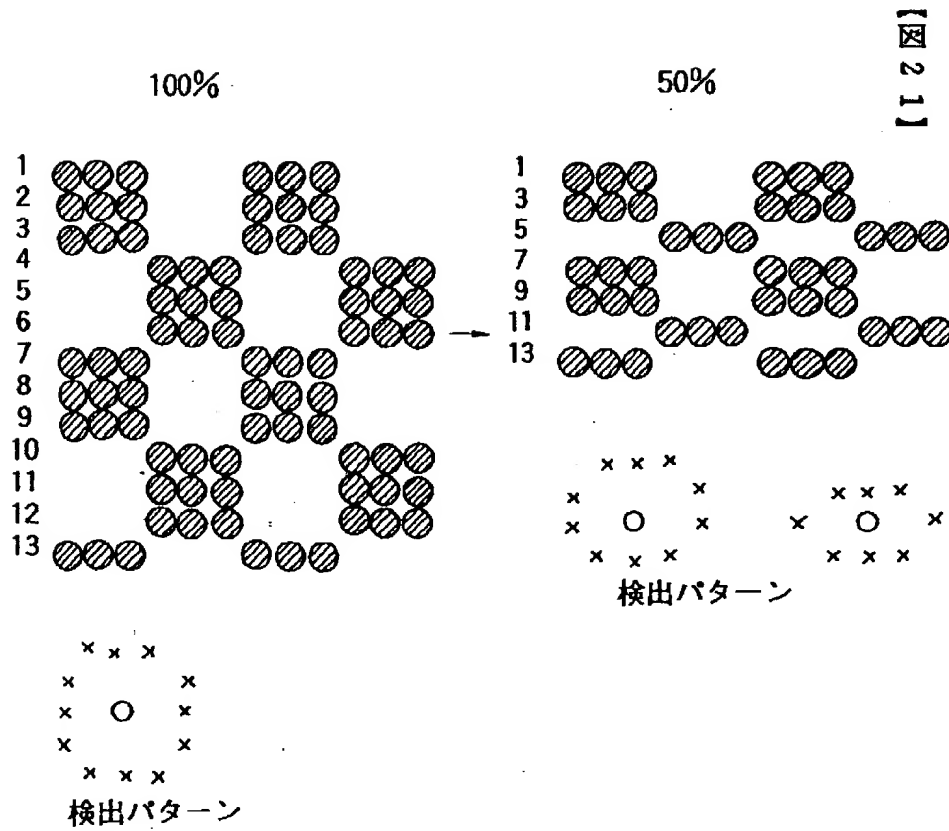


細かい網点の場合

【図23】

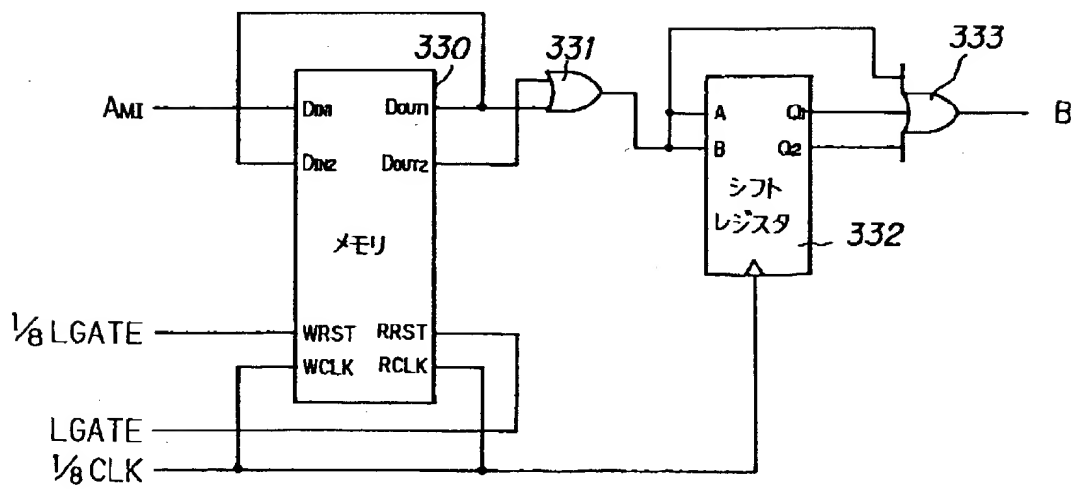
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
1	14	1	86	19	182	28	17	0	38	188	146	0	19	17	171	189
2	16	1	71	161	159	38	15	2	129	159	137	8	19	39	138	183
3	28	24	73	40	40	82	114	27	56	34	36	22	134	97	46	34
4	178	192	70	0	0	106	187	191	30	2	6	163	192	188	9	0
5	146	142	75	12	27	94	140	124	37	22	28	28	132	100	32	20
6	33	23	65	161	182	47	39	18	106	160	140	28	27	31	140	160
7	8	0	65	181	186	44	16	0	132	198	163	6	3	12	161	282
8	40	33	73	26	28	44	42	37	93	128	180	36	50	51	107	116
9	168	168	86	1	11	58	164	167	35	15	10	144	162	136	11	8
10	181	191	85	0	0	109	181	184	30	0	8	143	190	135	8	0
11	97	90	65	66	64	80	97	84	66	64	65	90	83	65	72	77
12	17	0	65	179	182	48	18	0	115	192	152	3	16	11	186	189
13	2	0	62	188	183	43	10	0	119	184	196	4	13	9	161	177
14	99	90	87	61	67	58	97	106	71	58	51	81	104	94	64	60
15	76	181	97	1	0	94	188	187	36	0	10	143	188	143	15	0
16	55	74	93	0	11	85	164	165	36	7	11	135	164	127	19	5

【図21】

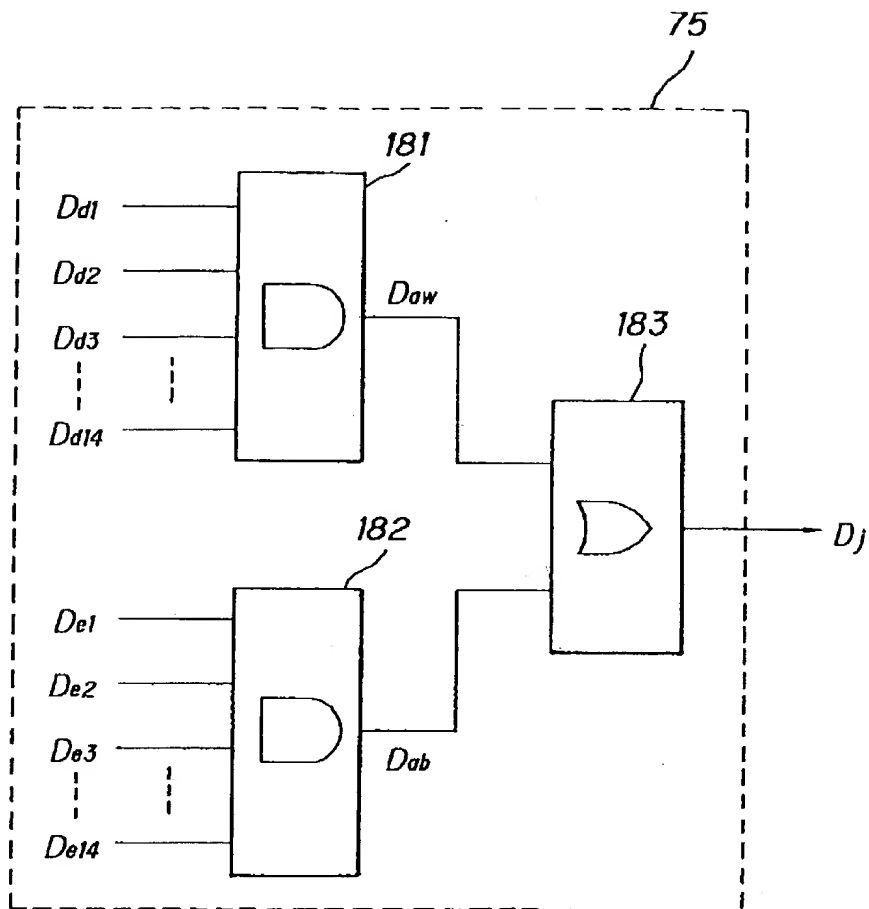


荒い網点の場合

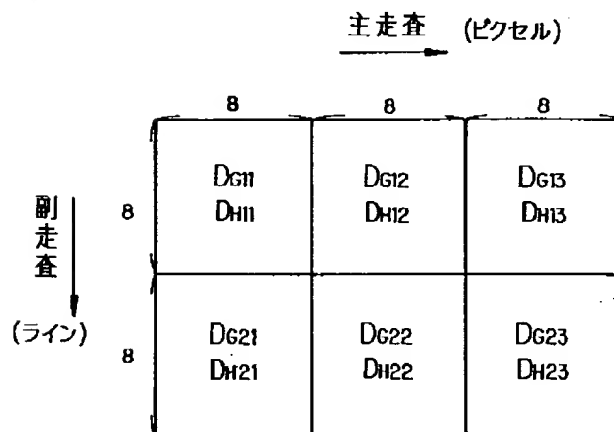
【図38】



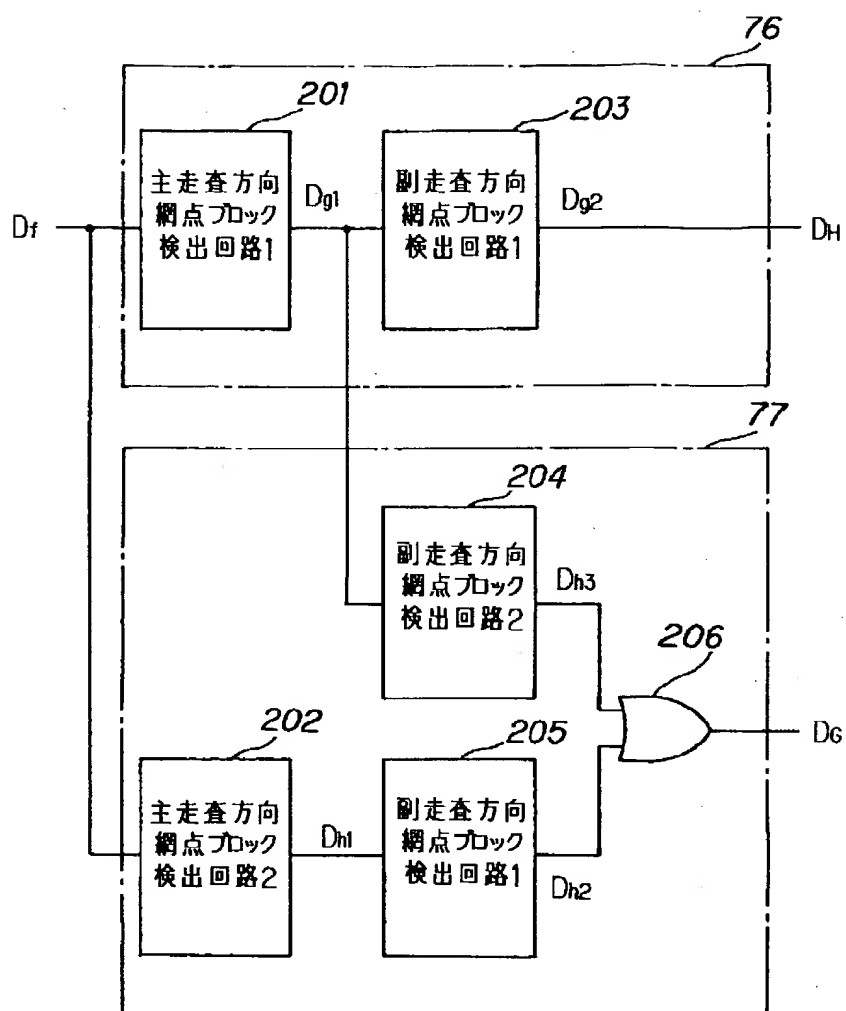
【図22】



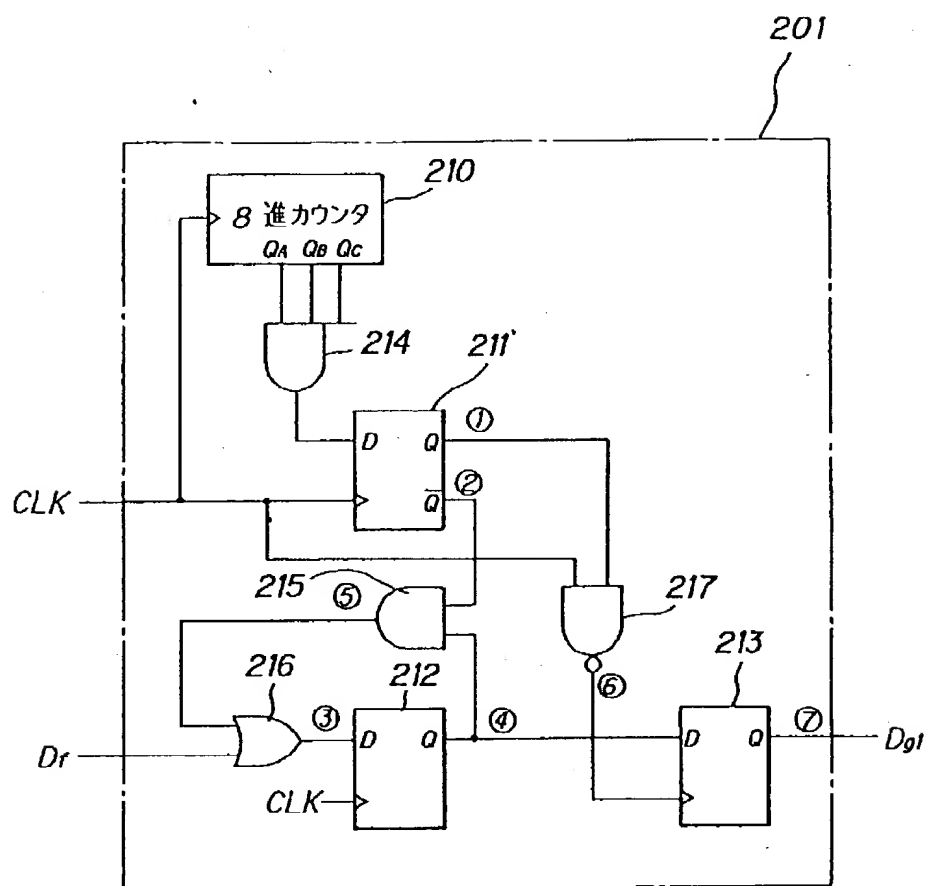
【図39】



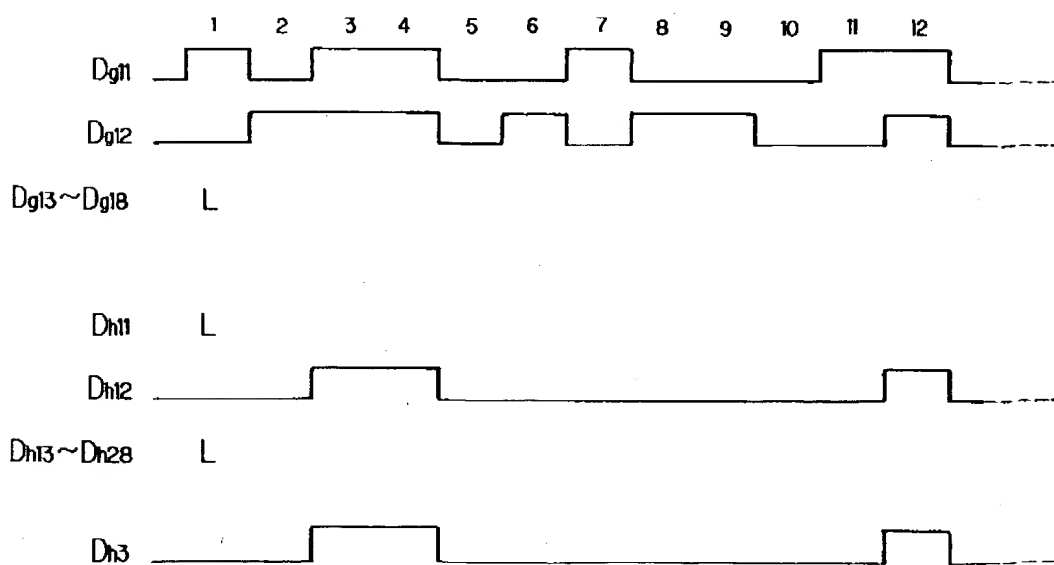
【図24】



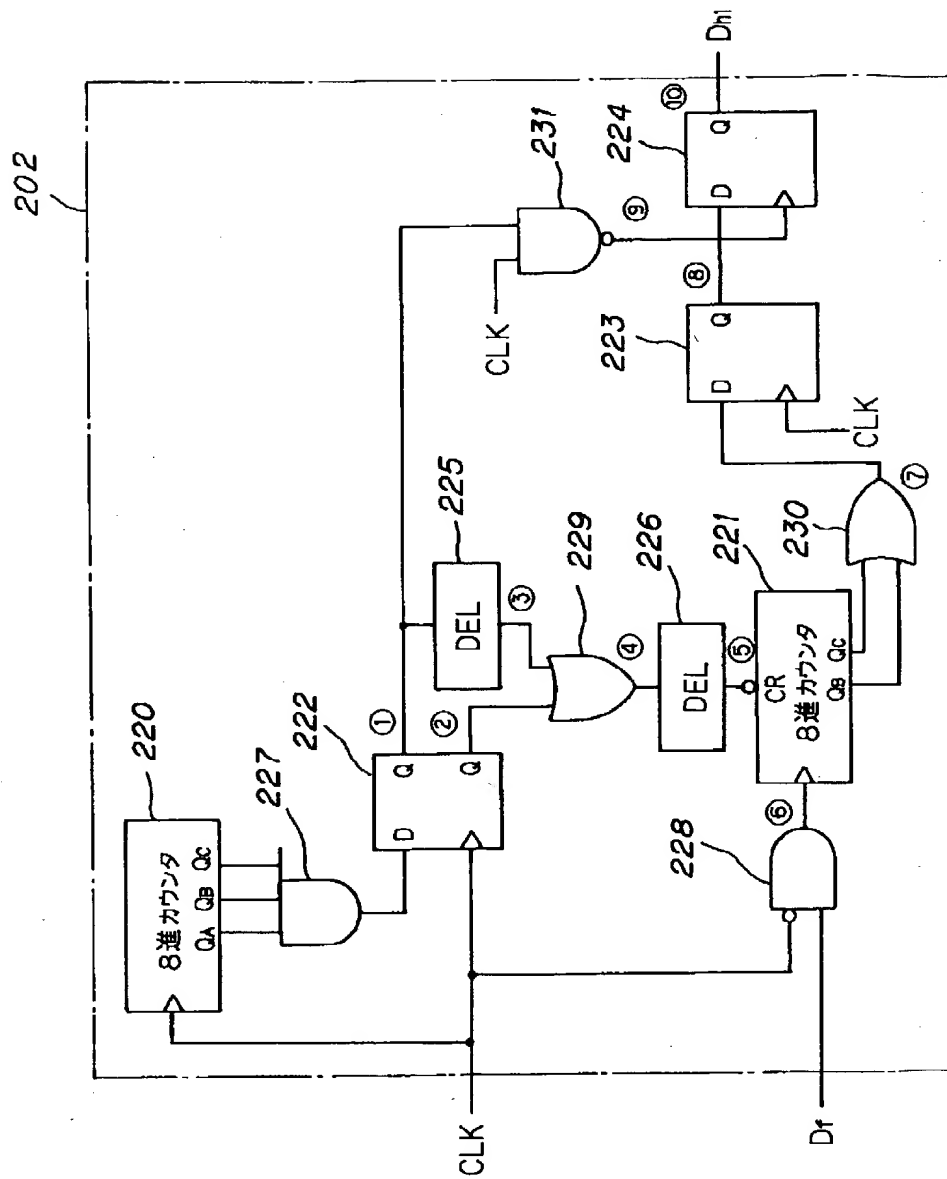
【图25】



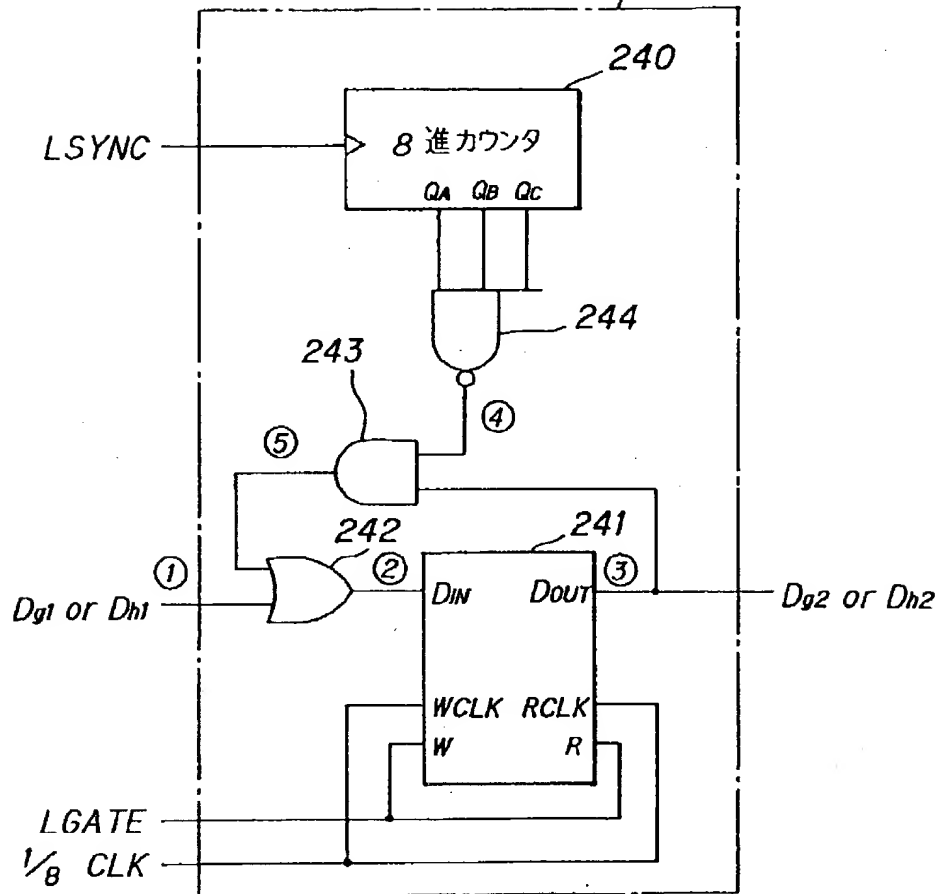
【図34】



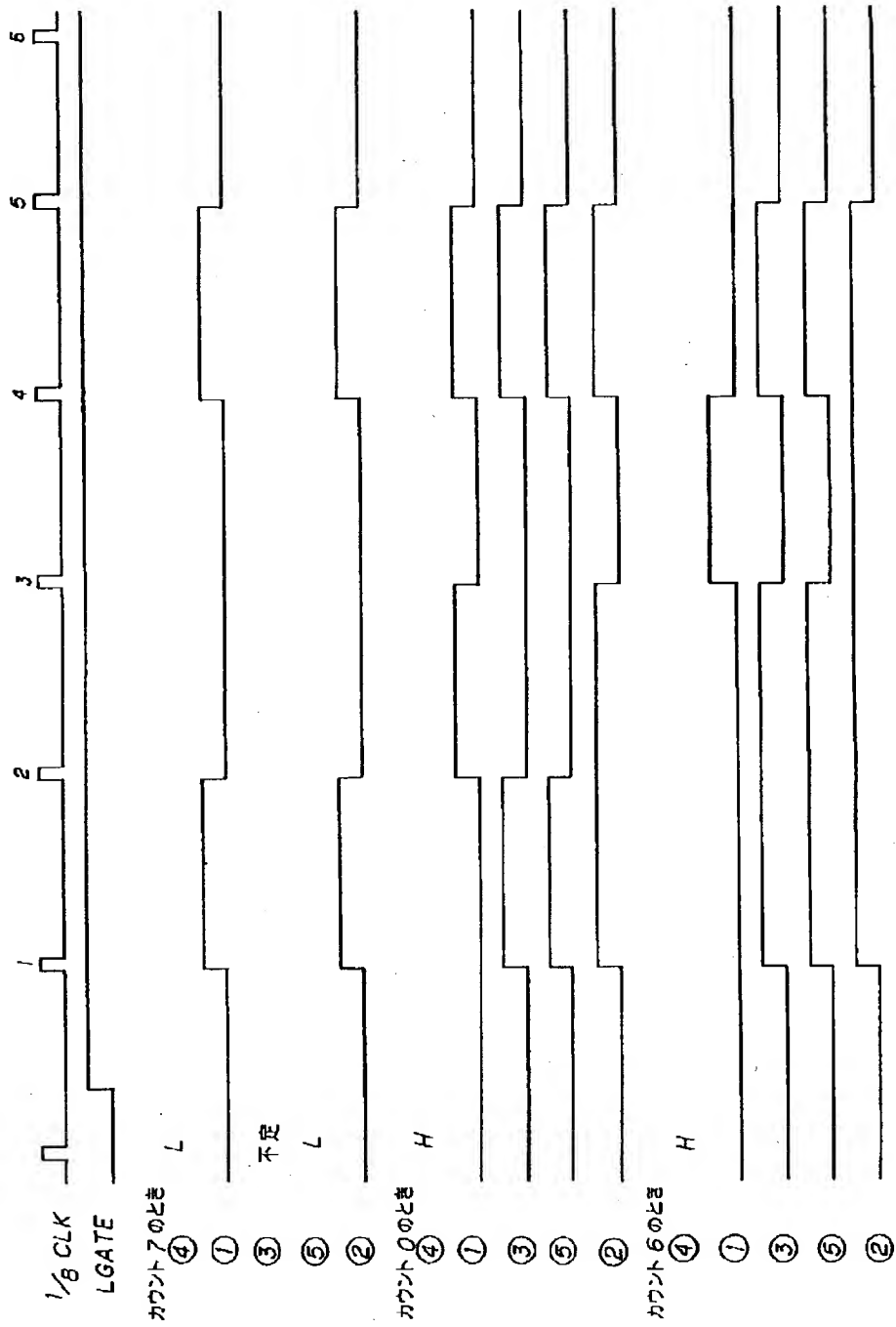
【図26】



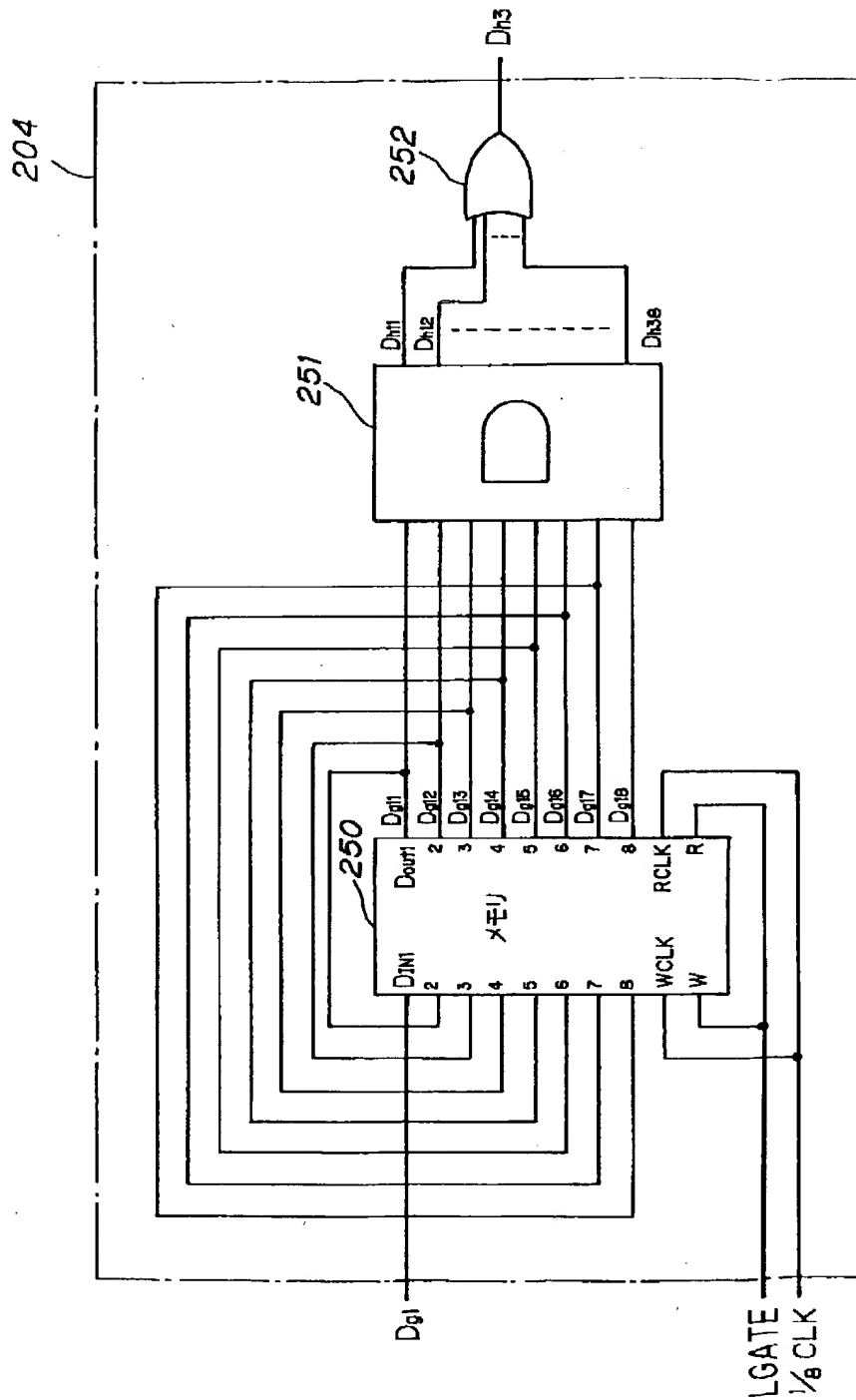
203.205



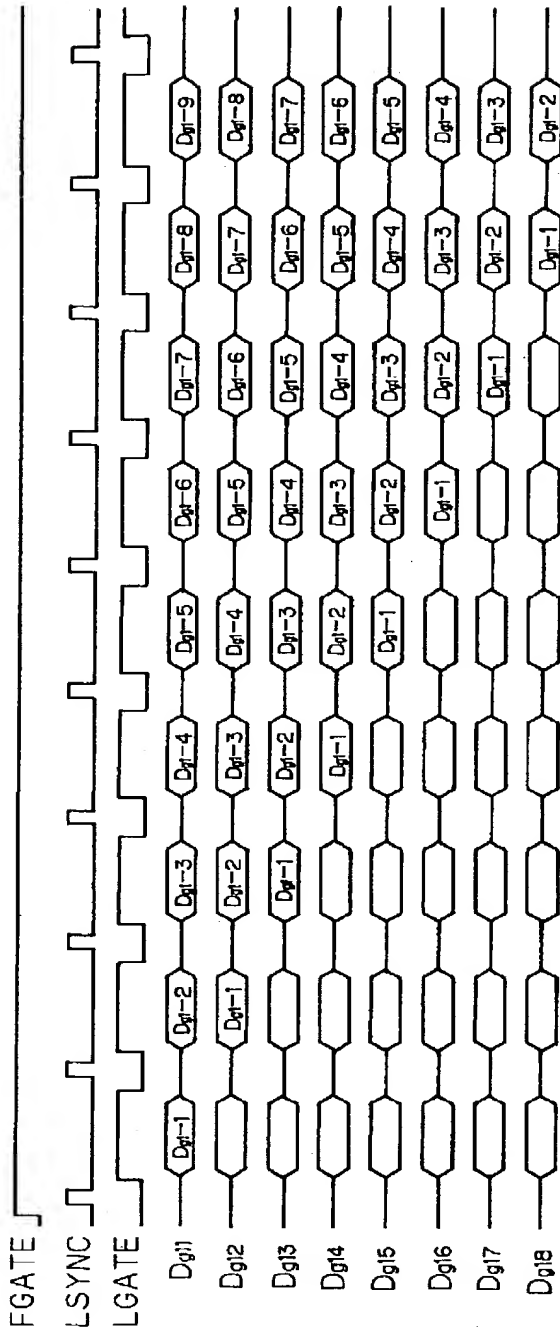
【図30】



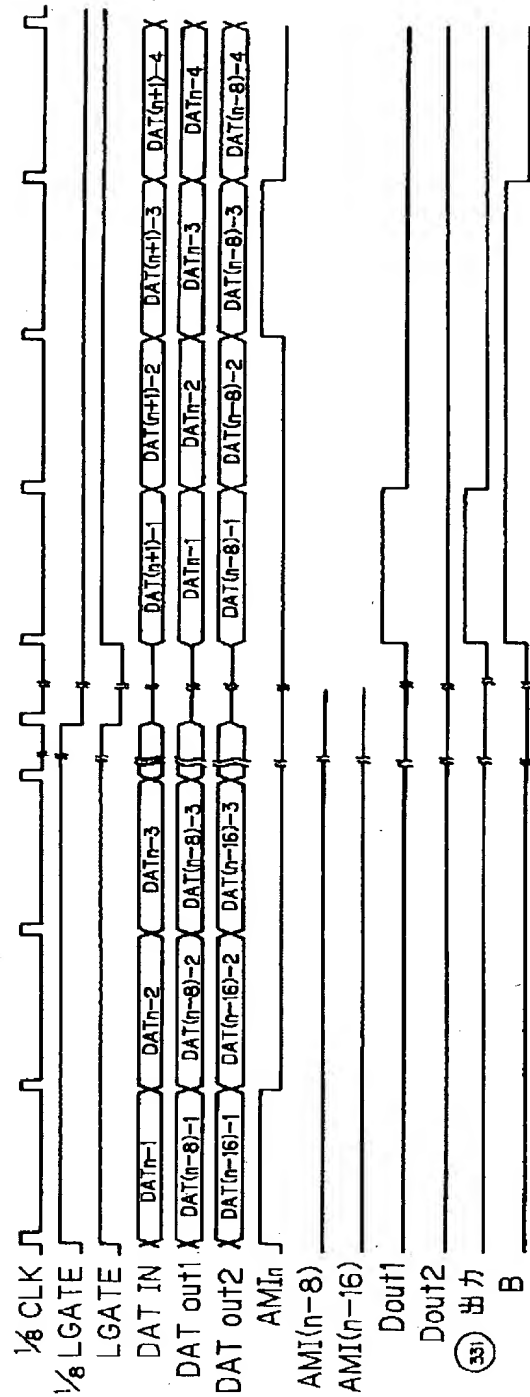
【図31】



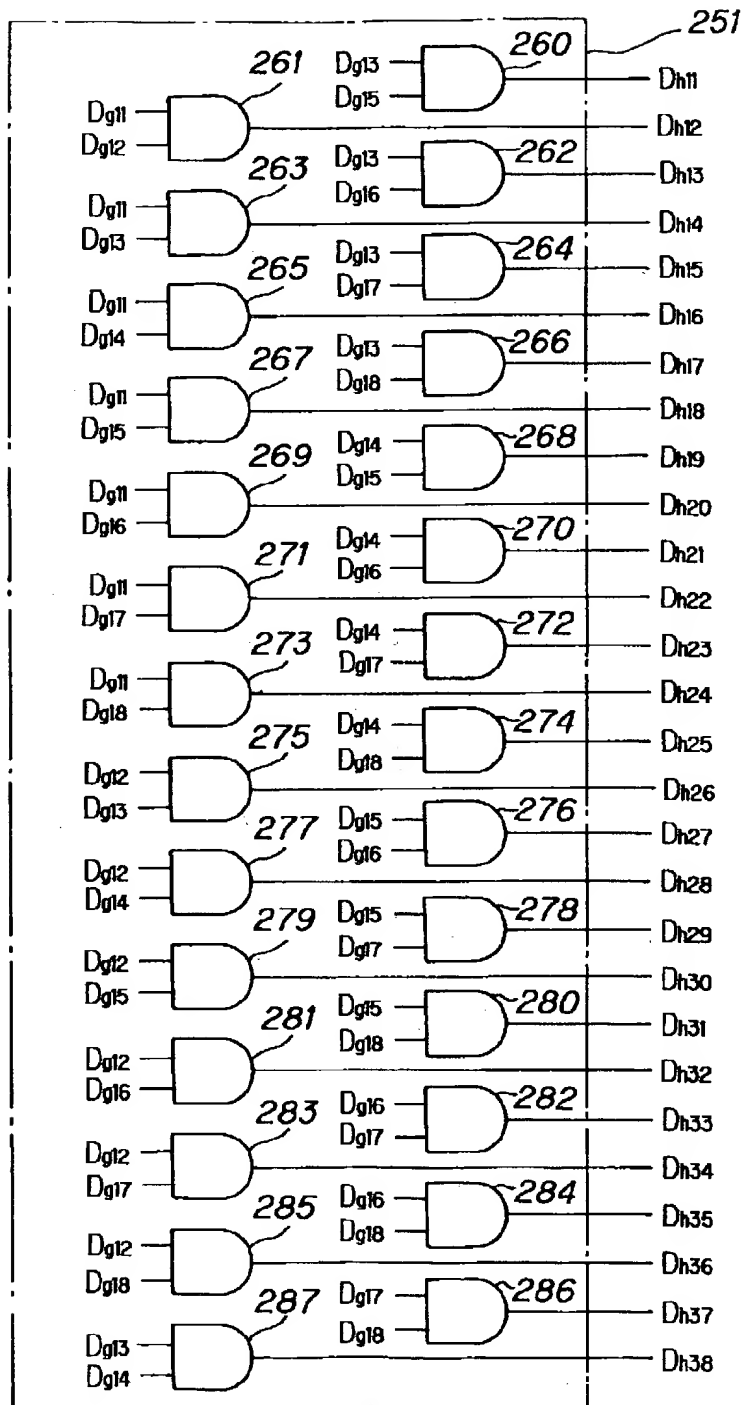
【図32】



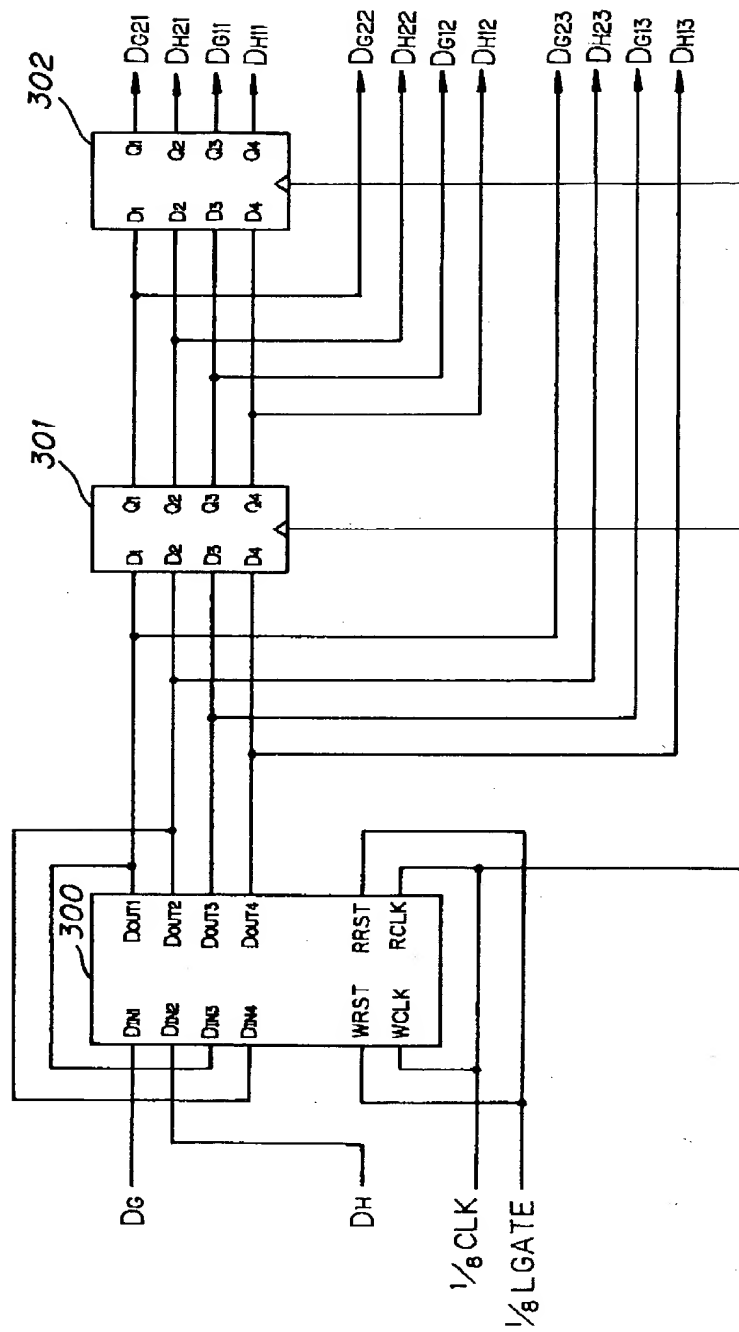
【図41】



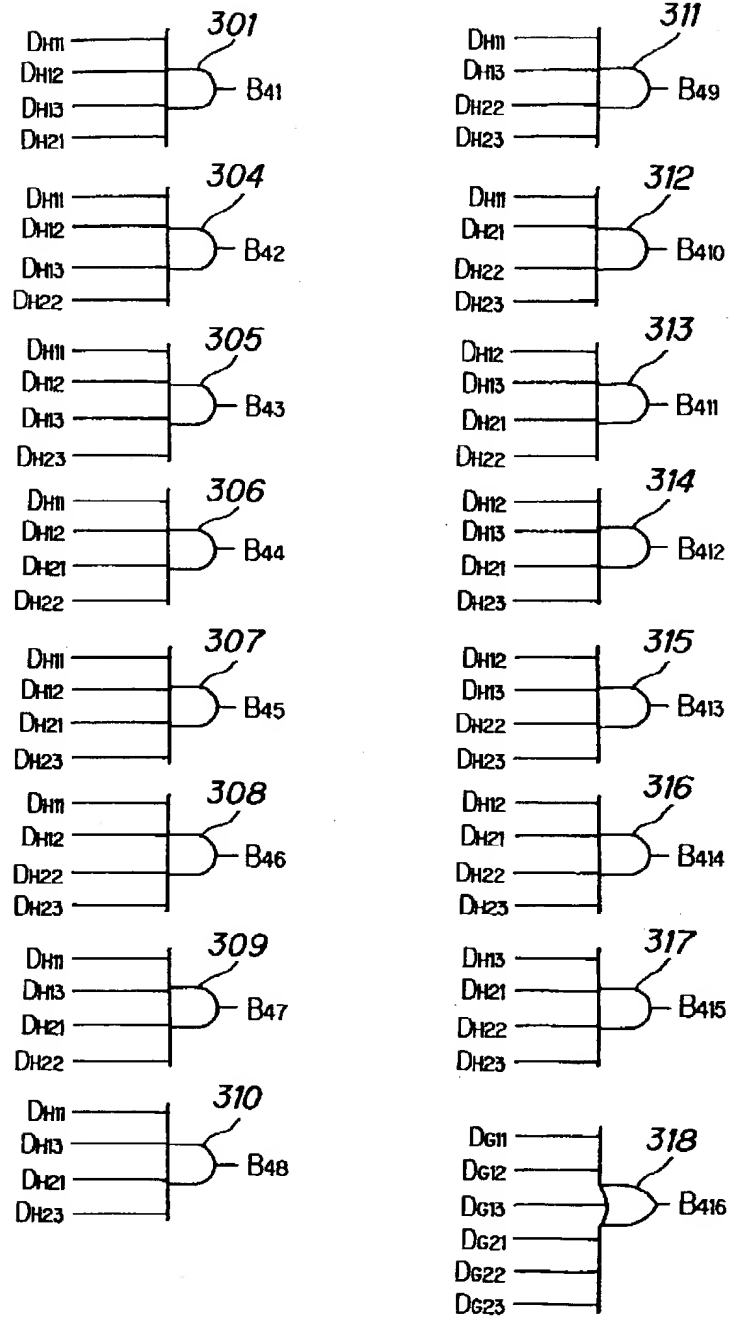
【図33】



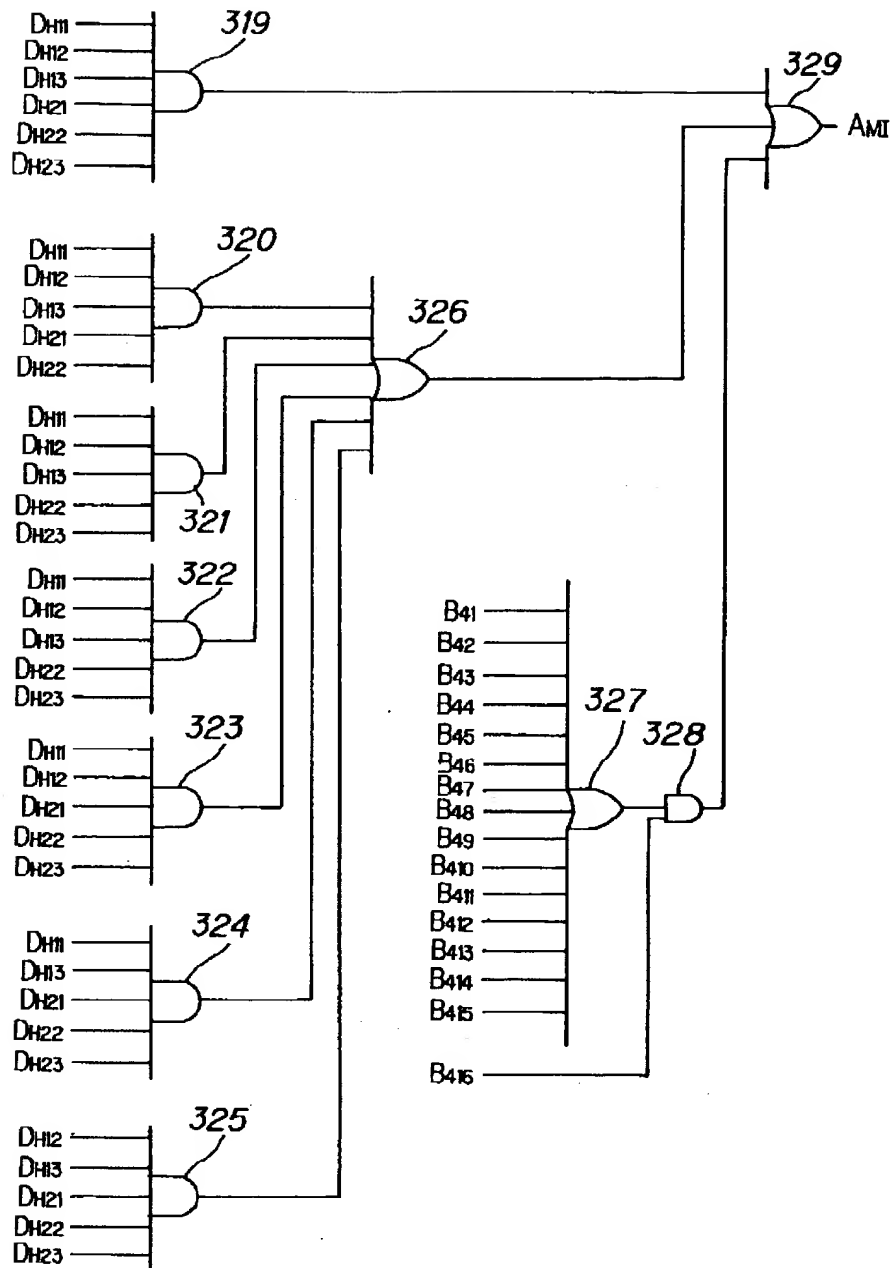
【図35】



【図36】

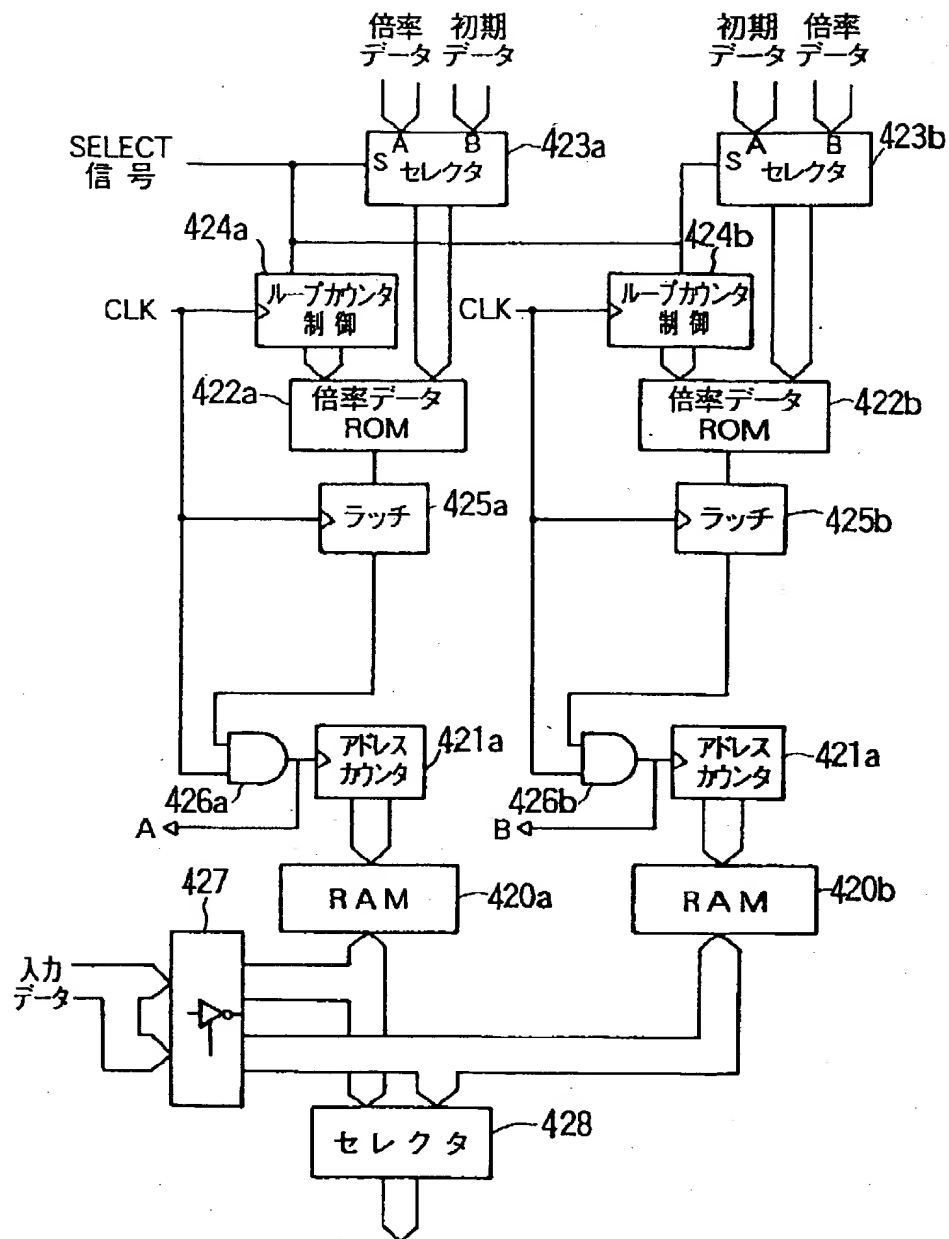


【図37】

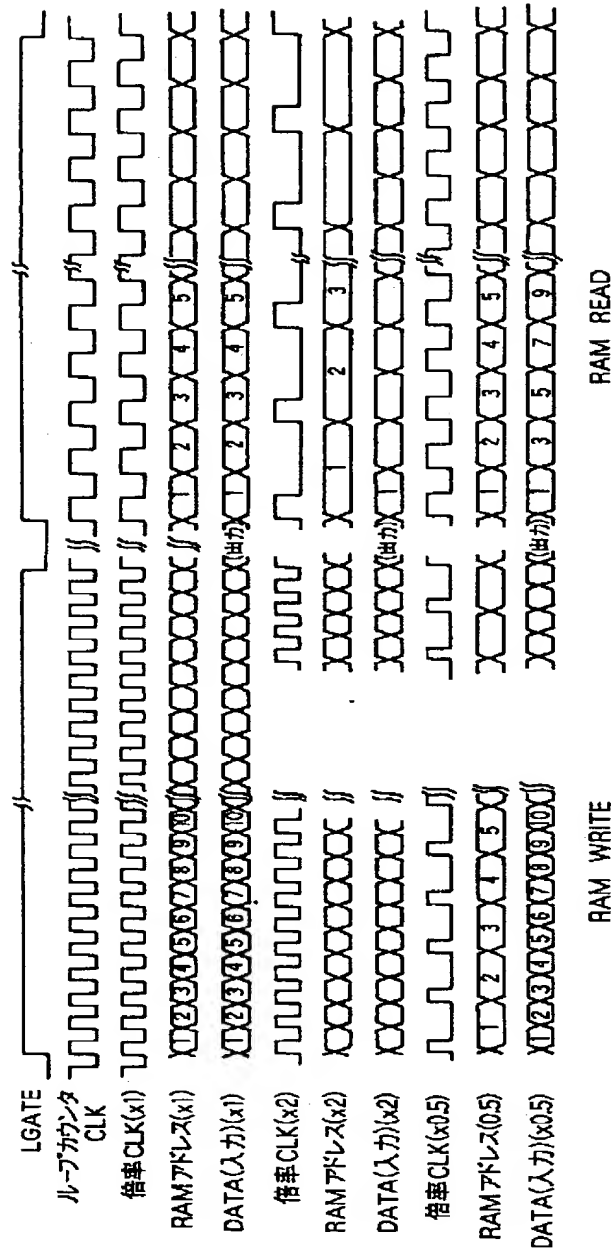


[illegible]

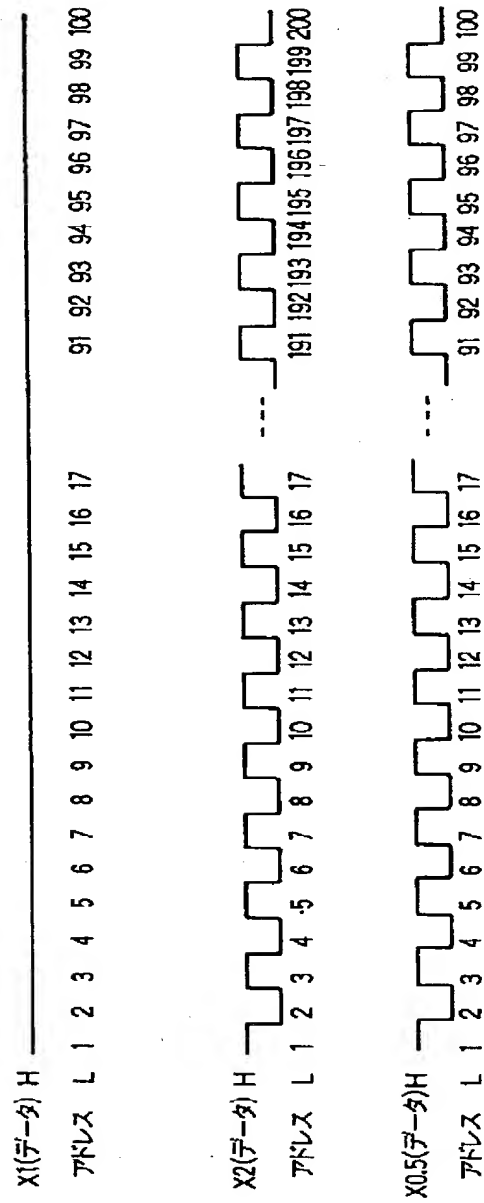
【図42】



【図43】



【図44】



【図45】

